

平成26年度 修士論文

携帯端末HPAに用いられる  
広帯域・高効率多相包絡線追跡電源の研究

指導教員 高井 伸和 准教授

群馬大学大学院 理工学府  
理工学専攻 電子情報・数理教育プログラム  
情報通信システム第2研究室  
高井研究室

13801482 本島大地

平成27年3月

# 目次

第1章	序論	3
1.1	研究背景	3
1.2	研究目的	4
1.3	論文構成	4
第2章	従来の包絡線追跡電源回路の概要と原理	5
2.1	通信規格の推移	5
2.1.1	第3世代移動通信方式 (IMT-2000)	5
2.1.2	第4世代移動通信方式 (IMT-Advanced)	6
2.1.3	第5世代移動通信方式 (5G)	7
2.2	包絡線追跡電源の概要	7
2.2.1	高周波高出力増幅器を用いた信号増幅	7
2.2.2	定電源電圧時の信号増幅	8
2.2.3	包絡線追跡電源回路	9
第3章	包絡線追跡電源の構成と設計手法	11
3.1	包絡線追跡電源の基本構成	11
3.2	ヒステリシス共振制御方式	12
3.2.1	ヒステリシス共振制御方式の動作原理	12
3.2.2	ヒステリシス共振制御方式の動作解析	13
3.2.3	ヒステリシス共振制御方式の設計手法	16
3.2.4	インダクタ値の決定方法	16
3.2.5	ヒステリシス幅の決定方法	17
3.3	三角波制御方式	18
3.3.1	三角波制御方式の概要	18
3.3.2	電流検出回路の設計手法	19
3.3.3	インダクタの値の導出方法	20
3.3.4	鋸歯状波のオフセットの導出方法	23
3.3.5	鋸歯状波のオフセットの導出方法	25

<b>第4章</b>	<b>従来のヒステリシス共振制御方式を用いた多相包絡線追跡電源回路</b>	<b>27</b>
4.1	従来のヒステリシス共振制御方式を用いた多相包絡線追跡電源回路の概要	27
4.2	従来のヒステリシス共振制御方式を用いた多相包絡線追跡電源回路の問題点	31
<b>第5章</b>	<b>ヒステリシス共振制御型多相 DC-DC コンバータ</b>	<b>34</b>
5.1	三角波を用いたヒステリシス DC-DC コンバータ	34
5.2	同期型ヒステリシス制御方式を用いた DC-DC コンバータ	35
5.3	Master-Slave 同期方式	37
<b>第6章</b>	<b>提案多相包絡線追跡電源回路の概要</b>	<b>40</b>
6.1	提案ヒステリシス制御方式包絡線追跡電源	40
6.2	制御回路の概要	43
6.2.1	ロジック回路の概要	43
6.2.2	同期信号生成回路の概要	45
6.3	提案ヒステリシス制御方式を用いた4相包絡線追跡電源	46
6.4	提案多相包絡線追跡電源回路のシミュレーション検証	47
<b>第7章</b>	<b>試作・動作検証</b>	<b>51</b>
7.1	包絡線追跡電源回路の試作回路の構成	51
7.2	包絡線追跡電源回路の試作回路の動作検証	54
<b>第8章</b>	<b>まとめ</b>	<b>60</b>

# 第1章 序論

## 1.1 研究背景

近年、携帯電話・スマートフォン等の携帯機器用の無線基地局では高周波高出力増幅器の高効率化・広帯域化に対する需要が高まっている。信号増幅器の高効率、且つ低歪み動作を目的とした回路構成は、図(1.1)に示すようなトレンドで技術開発が進められてきた。携帯電話・スマートフォン等の無線基地局用高出力増幅器の効率改善手段として、元来「AB級増幅器+デジタル歪み補償方式」が活用されてきた。しかし、この方式を用いた効率改善はほぼ限界に達している。よって、他の効率改善方式の検討が求められてきている。また、昨今の携帯端末の普及に伴い、無線基地局のみならず、携帯端末用の受信機側の信号増幅器の効率改善も求められている。よって、効率改善回路は省電力・小回路面積が求められる。

本論文では、高周波増幅器の高効率化手法として研究が進められてきている、包絡線追跡電源回路の新アーキテクチャを示す。本手法の概要として、高効率動作するDC-DCコンバータを位相をずらし多相化することで高効率・広帯域化が実現できることを示す。この包絡線追跡電源回路は、高周波増幅器の入力無線信号包絡線に追従する形で電源電圧を変化させることで高効率動作を実現する。



図 1.1: 高周波アンプの高効率化手法の変化



## 1.2 研究目的

携帯電話・スマートフォン等の携帯機器用の高周波無線通信に使用できる包絡線追跡電源の設計を目的とする。目標仕様として現代の通信規格である第4世代移動通信方式へ対応した包絡線追跡電源を検討、システム全体の高効率動作を目指す。

本研究はサムスン社電源部との共同研究を行い、製品化に向けて目標仕様を満たす回路構成を検討した。

## 1.3 論文構成

第1章で研究概要研究目的について述べる。次に第2章で従来の包絡線追跡電源回路の概要、第3章で従来の包絡線追跡電源の設計法について述べる。第4章で従来のヒステリシス共振制御方式を用いた多相包絡線追跡電源回路の概要、第5章でヒステリシス共振多相DC-DCコンバータ回路の構成と動作原理を説明し、第6章でその手法を生かした新しい回路構成のヒステリシス共振多相包絡線追跡電源回路を提案する。第7章でシミュレーションと試作回路による動作検証、第8章にまとめとして結論を述べる。

## 第2章 従来の包絡線追跡電源回路の概要と原理

この章では初めに高周波通信技術の推移について述べる。次に包絡線追跡電源の既存の回路構成である、ヒステリシス制御方式と三角波制御方式の構成と動作原理について述べる。最後にこれら既存の設計方式を用いて、設計仕様を満たす際の問題点を挙げる。

### 2.1 通信規格の推移

#### 2.1.1 第3世代移動通信方式 (IMT-2000)

近年、モバイルマルチメディアサービスに対応できる高速データ通信の実現、および同一の移動端末が世界中で共通に使用できるシステムの開発の要求が高まっていた。これらの需要に対して、次世代移動通信システム：IMT-2000(第3世代)の標準化、システム開発が開始された。この方式の実現目標は以下の通りである。

- 周波数有効利用の向上によるパーソナル通信サービスの実現
- グローバルでシームレスな通信サービスの実現
- 高速、高品質伝送によるマルチメディアサービスの実現

IMT-2000の要求条件表(2.1)を超える能力のエアインターフェースとしてW-CDMAがある。特長として、高い周波数利用率、周波数管理からの解放、低移動送信電力等が挙げられる。

表(2.2)にW-CDMAの主要諸元を示す。

表 2.1: IMT-2000 無線伝送方式の要求条件

	屋内	歩行者	車載
伝送速度 (kbit/s)	2,048	384	144

表 2.2: W-CDMA の主要緒元

アクセス方式	Direct Sequence CDMA
デュプレックス方式	FDD
帯域幅	5MHz
チップレート	3.84Mcps
キャリア間隔	200kHz ラスタ
データ速度	~ 2Mbit/s
フレーム長	10,20,80msec
誤り訂正符号	ターボ符号, 畳み込み符号
データ変調	下り QPSK, 上り BPSK
拡散変調	下り QPSK, 上り HPSK
拡散率	4 ~ 512
基地局間同期	非同期
音声符号化	AMR(1.95k-12.2kbit/s)

### 2.1.2 第 4 世代移動通信方式 (IMT-Advanced)

第 4 世代移動通信方式は、50Mbps-1Gbps 程度の超高速大容量通信を実現した。また帯域幅は 5MHz ~ 20MHz まで任意に選択できる。IPv6 に対応し、無線 LAN や WiMAX、Bluetooth などと連携し固定通信網と移動通信網をシームレスに利用できる。通信スピードが超高速化される代わりに、第 3 世代移動通信システムで使用している 2GHz 帯より高い周波数帯を用いるため、電波伝搬特性によりサービスエリアが狭くなってしまう点や、電波の直進性が高いことにより屋内への電波が届きにくい等のデメリットも存在する。

### 2.1.3 第5世代移動通信方式(5G)

第四世代通信方式の次世代通信規格として予定されている。予定として東京オリンピックが開催される2020年には10Gbps以上の通信速度とLTEの $10^3$ の容量を有する通信サービスとして計画されている。

## 2.2 包絡線追跡電源の概要

### 2.2.1 高周波高出力増幅器を用いた信号増幅

無線通信で用いられる規格であるW-CDMA信号等の信号増幅を行う高周波高出力増幅器を考える。W-CDMAの信号スペクトルは図(2.1)に示すような特性となっている。これによりW-CDMA信号は平均電力に対してピーク電力が高いということが分かる。このため高周波高出力増幅器の出力電圧の大部分は、電源電圧値を下回る値を示す。したがって定電圧源にて駆動する高周波高出力増幅器の動作効率は非常に悪い。

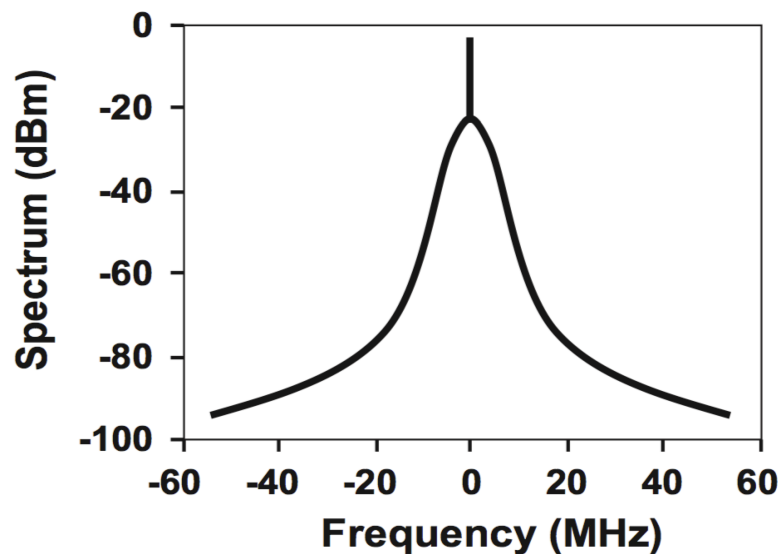


図 2.1: W-CDMA 包絡線信号スペクトラム

### 2.2.2 定電源電圧時の信号増幅

W-CDMA 等の高周波信号を高周波高出力増幅器で信号増幅際の動作効率の低さが問題となっている。低い動作効率の原因となっているのが、高周波高出力増幅器における入力信号に対する過剰な電源電圧値である。現状の高周波高出力増幅器の効率性能は入力電力が約 200W に対して出力電力 30W であり、効率 17%程度となっている。この高周波高出力増幅器の低効率動作が、無線通信基地局の全体効率を劣化させている一番の原因となっている。この高周波高出力増幅器の問題点を解決する手法として、従来より、AB 級アンプとデジタル歪み補償が用いられている。AB 級アンプとデジタル歪み補償のシステムは図 (2.2) のようになっている。この方式の特徴は AB 級アンプで発生する信号歪みをデジタル歪み補償で線形性を保つところにある。デジタル歪み補償は次のような原理に基づいて行われている。デジタル歪み補償は増幅器にて発生する歪みの逆関数を計算し入力信号を逆関数で歪ませる動作をしている。これによりデジタル歪み補償で歪んだ入力信号を増幅器の歪みで相殺し、入力信号の線形性を保つことができる。AB 級アンプを用いる方式では高周波高出力増幅器の電源電圧を変調信号のピーク電圧以上に保つ必要がある。W-CDMA の包絡線はピーク電圧が非常に高いのに対して平均電圧は低いという特徴を持つ。この場合、図 (2.3) に示す出力特性から分かるように、電源電圧値と入力信号との差分が熱として放出される。つまり AB 級アンプを用いる方式は高い電源電圧を必要とするため、動作効率が低下してしまう。

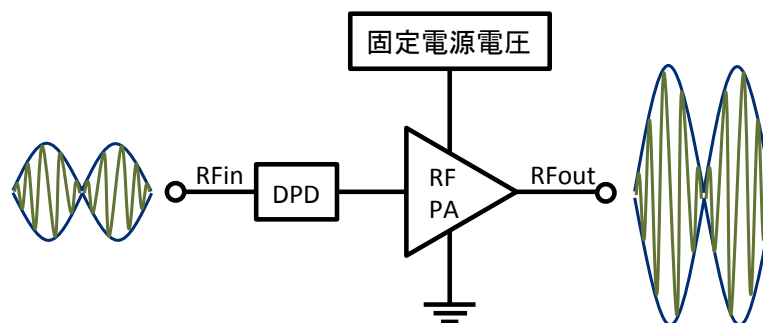


図 2.2: 包絡線追跡電源回路方式

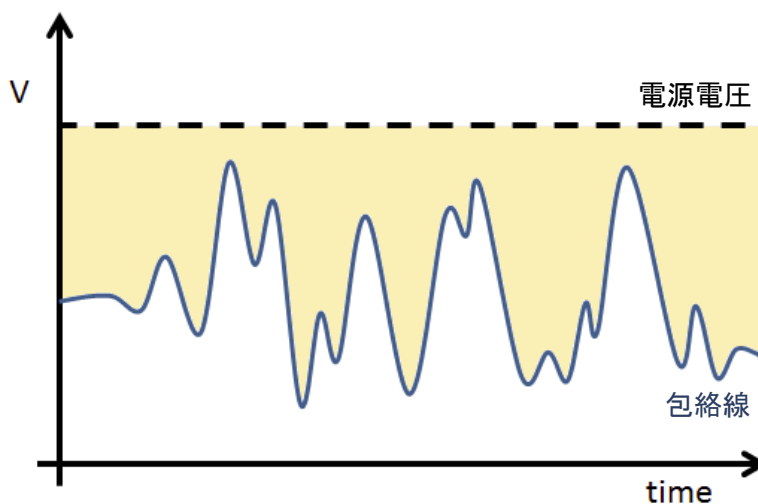


図 2.3: 包絡線追跡電源回路動作波形

### 2.2.3 包絡線追跡電源回路

包絡線追跡電源方式の基本回路構成を図 (2.4) に示す。包絡線追跡電源とは図 (2.5) のように W-CDMA 等の入力信号の包絡線に合わせ電源電圧を変化させる電源である。固定電源電圧を用いる通常的方式に対して、包絡線追跡電源方式は高周波高出力増幅器へ入力される包絡線信号の振幅を検出し、包絡線追跡電源の入力端子に接続する。包絡線追跡電源はそ

の入力信号から包絡線を生成し、出力する。出力を高周波高出力増幅器の電源として使用し、効率改善を図る方式となる。

高周波増幅器の効率は以下の式 (2.1) にて求められる。

$$\eta = \frac{V_{out} \cdot I_{out}}{V_{dd} \cdot I_{dd}} \quad (2.1)$$

従来方式では電源電圧  $V_{dd}$  が一定であるのに対し、包絡線追跡電源は入力に応じて電源電圧  $V_{dd}$  を変動できる。よって、高周波高出力増幅器の動作効率を改善できる。

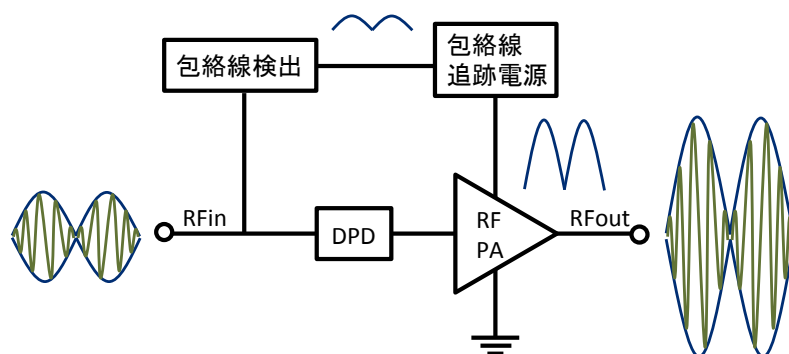


図 2.4: 包絡線追跡電源回路方式

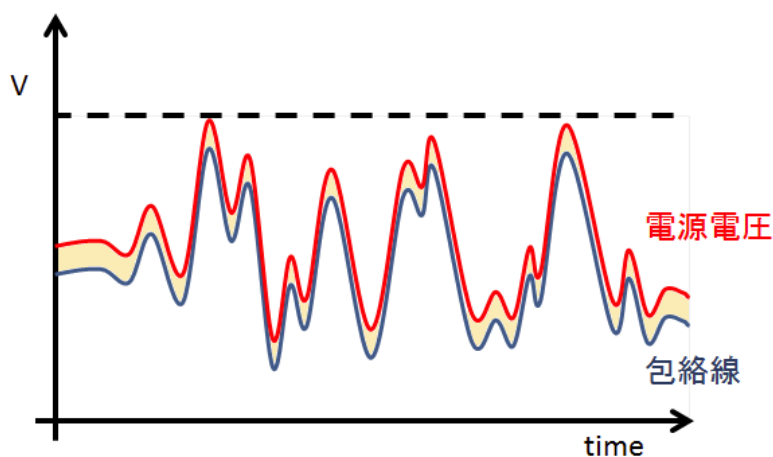


図 2.5: 包絡線追跡電源回路動作波形

## 第3章 包絡線追跡電源の構成と設計手法

### 3.1 包絡線追跡電源の基本構成

包絡線追跡電源回路の回路構成について述べる。包絡線追跡電源回路の回路構成は図(3.1)のようなブロック図で表せる。この回路は大きく二つの回路ブロックに分けることができる。一つはオペアンプを用いたボルテージフォロワ回路部であり、低効率・広帯域な電圧源動作となる。もう一つはSwitcherを使用したDC-DCコンバータ回路部であり、高効率・狭帯域な電流源動作となる。これら二つの回路ブロックを組み合わせることで広帯域・高効率を実現させる。包絡線追跡電源回路の方式として、ヒステリシスコンパレータを使用したヒステリシス共振制御方式と外部クロックを利用した三角波制御方式等がある。本項ではその二つの方式の回路構成、動作原理を述べた後、最適な回路定数を決定する設計手法を述べる。

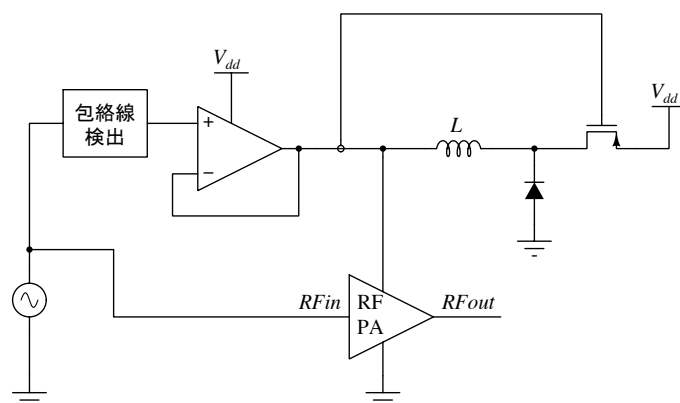


図 3.1: 包絡線追跡電源の従来回路構成



## 3.2 ヒステリシス共振制御方式

### 3.2.1 ヒステリシス共振制御方式の動作原理

図(3.2)に高周波高出力増幅器を等価的に負荷抵抗に置き換えたヒステリシス共振制御方式を用いた基本回路構成を示す。ヒステリシスコンパレータはセンス抵抗の両端でオペアンプから流れる電流を検知し、High,Low 信号を出力する。コンパレータ出力を用いて、高効率スイッチである MOS-FET を ON,OFF し、包絡線信号を再現する。その際、発生する DC-DC コンバータの電流リップルは、オペアンプから供給するオペアンプ電流によってキャンセルされる。本手法の利点として、ヒステリシスコンパレータの内部発振を利用した即応性がある。高周波に対応できる包絡線追跡電源回路の設計の為に、即応性は必須事項である。

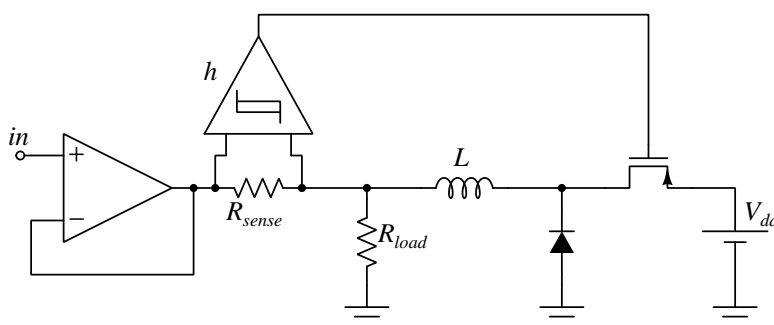


図 3.2: ヒステリシス共振制御型包絡線追跡電源回路の基本構成

図(3.3)(3.4)にスイッチング段の出力電圧と出力電流を示す。スイッチが ON になると電流が増加し、ヒステリシス幅の上限に達するとコンパレータ出力は反転し、スイッチは OFF となる。スイッチが OFF になると DC-DC コンバータからの電流は減少し、ヒステリシス幅の下限に達するとコンパレータ出力は反転し、スイッチは ON となる。この一連の動作を繰り返すことで、回路は内部発振を起こし、入力信号を追従する。

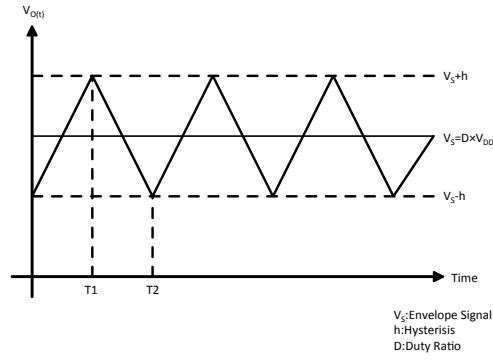


図 3.3: 包絡線追跡電源の電圧波形

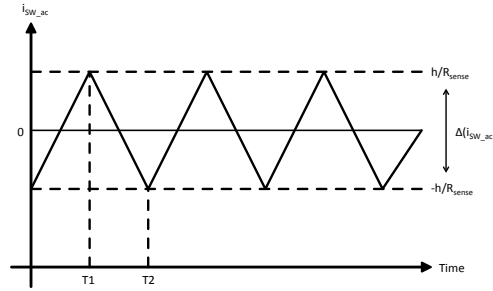


図 3.4: 包絡線追跡電源の電流波形

### 3.2.2 ヒステリシス共振制御方式の動作解析

ヒステリシス共振制御方式のオペアンプ領域と DC-DC コンバータ領域の動作式は以下ようになる。

$$SRi_{sw}(t) = \frac{\Delta i_{sw}(t)}{\Delta t} = \frac{1}{L}(V_{sw}(t) - V_o(t)) \quad (3.1)$$

$$SRi_{R_{load}}(t) = \frac{\Delta i_{R_{load}}(t)}{\Delta t} = \frac{1}{R_{load}}\left(\frac{\Delta V_s(t)}{\Delta t}\right) \quad (3.2)$$

$$SRi_{sw\_ave} = |SRi_{sw}| = \frac{2}{L}(1 - D)V_{s\_dc} \quad (3.3)$$

$$SRi_{R_{load}\_ave} = |SRi_{R_{load}}| = \frac{1}{R_{load}}\left|\frac{\Delta V_s}{\Delta t}\right| \quad (3.4)$$

この電流スルーレート式により、包絡線追跡電源の動作解析は以下の3つの状態を解析することで行うことができる。

- 小信号動作モード  
(スイッチング電流スルーレート > 入力包絡線信号スルーレート)
- 大信号動作モード  
(スイッチング電流スルーレート < 入力包絡線信号スルーレート)
- マッチングスルーレート動作モード  
(スイッチング電流スルーレート = 入力包絡線信号スルーレート)

#### 小信号動作モード

この場合、入力包絡線信号のスルーレートはスイッチング電流のスルーレートはスイッチング電流のスルーレートの範囲内になる。このとき図(3.5)に示すように、降圧型電源から直流電流成分と交流成分の両方の電流を供給できる。

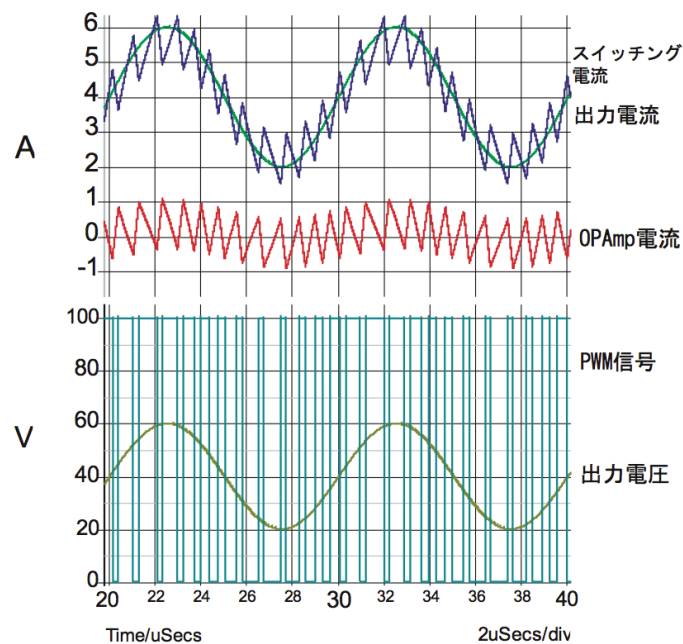


図 3.5: 包絡線追跡電源の小信号動作波形

### 大信号動作モード

この場合、負荷電流のスルーレートはスイッチング電流のスルーレートを超えている。よって DC-DC コンバータからは直流成分の電流を供給し、OPAMP から交流成分の電流を供給する。これにより図 (3.6) に示すように、エラー信号はヒステリシス幅よりも大きくなり、スイッチング周波数は交流信号周波数と等しくなる。

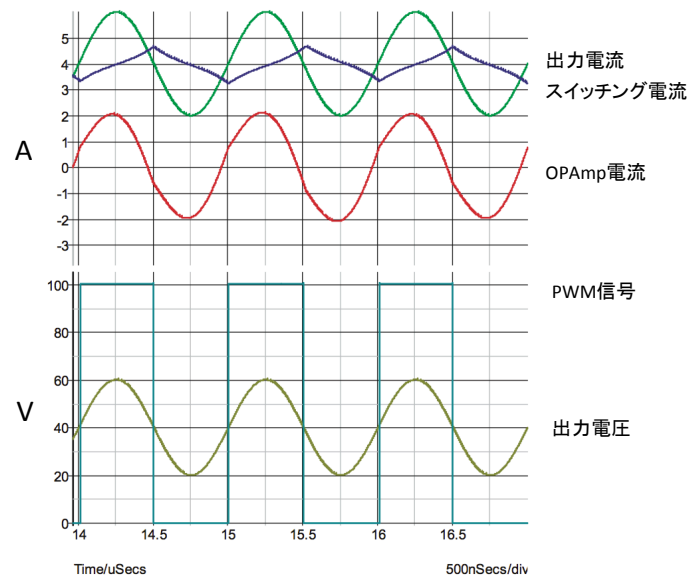


図 3.6: 包絡線追跡電源の大信号動作波形

### マッチングスルーレート動作モード

マッチングスルーレートとは負荷電流スルーレートとスイッチングスルーレートが一致している状態のことを言う。この場合、スイッチング周波数が最も少なくなるのでスイッチング損失が最小となる。また、スイッチング電流のリプルも最小の値をとるので、マッチングスルーレートの瞬間が最も効率の良い動作となる。

### 3.2.3 ヒステリシス共振制御方式の設計手法

ヒステリシス共振制御方式を用いた包絡線追跡電源回路の回路パラメータは以下の5項目である。

- 電源電圧  $V_{dd}$
- 電流センス抵抗  $R_{sense}$
- インダクタ値  $L$
- コンパレータに付加するヒステリシス幅  $h$
- 負荷抵抗  $R_{load}$

上項目の内、電源電圧  $V_{dd}$ 、負荷抵抗  $R_{load}$  は仕様によって決まっている。また、回路の構造的な損失を減らすという観点から、電流センス抵抗  $R_{sense}$  は小さく設定する必要がある。このため設計者はインダクタ値  $L$ 、ヒステリシス値  $h$  の二つを調整することになる。負荷抵抗への電流供給は可能な限り Switcher から行えば効率が良いので、インダクタ値  $L$  を小さくしてスイッチング段の帯域を広く設定したい。しかし、インダクタ値  $L$  を小さくするとスイッチング周波数  $f_s$  が上がってしまう。この時、ヒステリシスを大きくすると、インダクタ値  $L$  を小さくしただけオペアンプから供給する電流が増えてしまい、効率が低下する。よって効率と帯域はトレードオフの関係になっていることが分かる。回路設計ではインダクタ値  $L$  とヒステリシス幅  $h$  を最適な値に設定する必要がある。そこで、入力包絡線信号の平均スルーレートとスイッチング段のスルーレートが一致するマッチングスルーレート時、最も効率が高いという条件を用い最適化設計を行う。

### 3.2.4 インダクタ値の決定方法

初めにインダクタ値の決定方法について示す。包絡線追跡電源の最も効率の良い動作は三章で説明したマッチングスルーレートの状態である。マッチングスルーレートの状態は、入力包絡線信号のスルーレートの式 (3.5) とスイッチング電流のスルーレートの式 (3.6) がイコールとなる場合である。

$$SRi_{sw\_ave} = |SRi_{sw}| = \frac{2}{L}(1-D)V_{s\_dc} \quad (3.5)$$

$$SRi_{Rload\_ave} = |SRi_{Rload}| = \frac{1}{R_{load}} \left| \frac{\Delta V_s}{\Delta t} \right| \quad (3.6)$$

包絡線信号スルーレートは既知であり、スイッチング電流スルーレートはインダクタ値のみに依存する値である。よって、マッチングスルーレート時のインダクタ値は式 (3.7) にて表すことができる。

$$L_{matched\_SR} = \frac{2(1-D)V_{s\_dc}R_{load}}{\Delta V_s \Delta t} \quad (3.7)$$

### 3.2.5 ヒステリシス幅の決定方法

包絡線追跡電源の発振周波数は式 (3.8) で求められる。

$$f_{sw} = \frac{R_{sense}}{L} \frac{V_{DD}}{h} D \left( 1 - D \frac{V_{a\_rms}^2}{V_{s\_dc}^2} \right) \quad (3.8)$$

包絡線追跡電源のスイッチング周波数はインダクタ値とコンパレータのヒステリシス幅で決定される。インダクタ値は式 (3.7) にて求められるので、スイッチング周波数を任意の値に設定すれば、コンパレータに負荷するヒステリシス幅の一般式は式 (3.9) にて表すことができる。

$$h = \frac{R_{sense}}{L} \frac{V_{DD}}{f_{sw}} D \left( 1 - D \frac{V_{a\_rms}^2}{V_{s\_dc}^2} \right) \quad (3.9)$$

よって、包絡線信号の平均スルーレートを求めることが出来れば、最適な回路パラメータを算出できる。

## 3.3 三角波制御方式

### 3.3.1 三角波制御方式の概要

三角波制御方式包絡線追跡電源の回路構成を説明する。図 (3.7) に三角波制御方式を用いた基本回路構成を示す。主な回路パラメータは以下の 7 項目である。

- 電源電圧  $V_{dd}$
- 電流センス抵抗  $R_{sense}$
- インダクタ  $L$
- エラーアンプ利得  $Gain$
- 鋸歯状波周波数  $f$
- 鋸歯状波オフセット  $V_{offset}$
- 鋸歯状波振幅  $f_{V_{saw}}$
- 負荷抵抗  $R_{load}$

これら 6 項目の回路パラメータについて説明する。電流センス抵抗とエラーアンプはセットで電流検出回路の動作を決めるパラメータとなる。インダクタは DC-DC コンバータの電流スルーレートを決めるパラメータとなる。鋸歯状波の各パラメータはスイッチング周波数、DC-DC コンバータの電流量を決めるパラメータとなる。パワー MOS-FET については電源回路の設計仕様により選定基準が変わってしまうので、今回は一般的な選定方法のみを簡単に記述する。通常、軽負荷の電源回路では入力容量が小さく、ON 抵抗の大きい MOS-FET を選択する。理由として軽負荷の電源回路は電流が小さいため ON 抵抗による損失は少ないからである。そして、電圧変動の応答性や部品の小型化を追求する為、スイッチング周波数を高めて高性能な電源回路を実現している。それに対して重負荷の電源回路では入力容量が大きく、ON 抵抗の小さい MOS-FET を選択する。理由は重負荷の電源回路は電流が大きく ON 抵抗の損失が支配的になるので ON 抵抗を下げる必要があるためである。この場合入力容量が大きいためスイッチング周波数を低くする対策が必要となる。次項より、三角波制御方式を用いる際に設定する回路パラメータの設定手法について説明する。

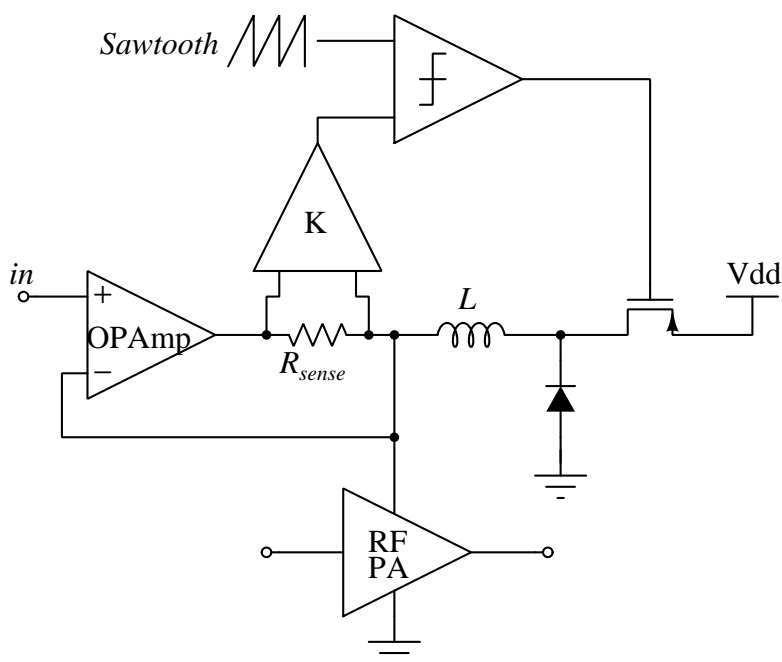


図 3.7: 三角波制御方式包絡線追跡電源の基本回路構成

### 3.3.2 電流検出回路の設計手法

電流検出回路はオペアンプの出力電流の向きと量を検出している。検出回路はセンス抵抗と減算増幅器で構成する。電流検出回路の構成は図(3.8)にて示す。オペアンプ電流を  $I_{OPAMP}$ 、電流センス抵抗を  $R_{sense}$  と記述する。オペアンプから電流が流れると電流センス抵抗の両端に電圧が発生する。この電圧を  $V_{sense}$  とすると、この電圧は式(3.10)で表される。

$$V_{sense} = I_{OPAMP} \cdot R_{sense} \quad (3.10)$$

$V_{sense}$  を増幅器で増幅すると増幅器の出力電圧  $V_A$  は式(3.11)となる。

$$V_A = -\frac{R_f}{R_1} \cdot V_{sense} \quad (3.11)$$

$\frac{R_f}{R_1} = K$  と表すと式(3.12)(3.13)が得られる。

$$V_A = -K \cdot V_{sense} \quad (3.12)$$



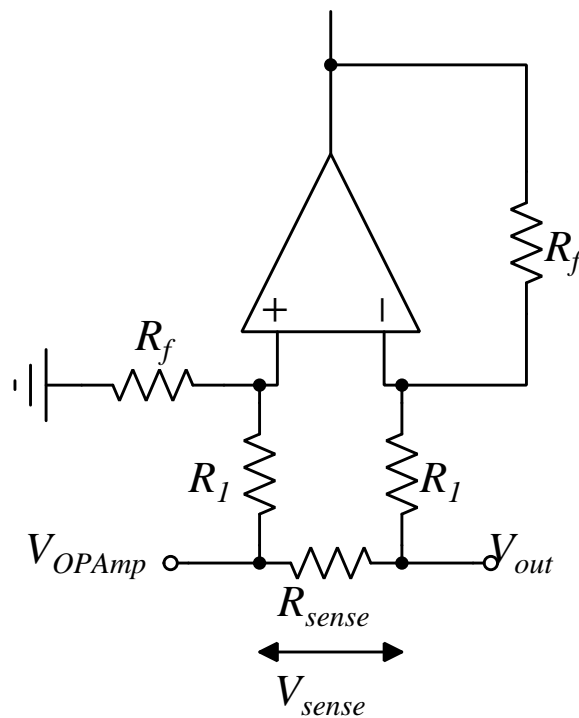


図 3.8: 電流検出回路図

$$V_A = -K \cdot R_{sense} \cdot I_{OP\,Amp} \quad (3.13)$$

これによりオペアンプ電流を電圧に変換することができる。

オペアンプ電流は電流センス抵抗で  $R_{sense} I_{OP\,Amp}^2$  の電力損失が生じ、効率が低下する。本回路を設計する上で電流センス抵抗での電力損失を押さえることは大変重要な要項となる。式 (3.13) より、オペアンプ電流の電圧変換は増幅率と電流センス抵抗の積で出力される。つまり、電流センス抵抗を可能な限り小さく設計、且つ増幅率を大きくすることで低損失な電流検出回路を設計することができる。電流検出回路の増幅率の設定方法は鋸歯状波の振幅との兼ね合いによって決まる。

### 3.3.3 インダクタの値の導出方法

インダクタはDC-DCコンバータの電流リップルを決めるパラメータとなる。この電流リップルが許容できる範囲を導出する。DC-DCコンバー

タの電流リップルはMOS-FETがONまたはOFFのときで以下の式(3.14)式(3.15)のようになる。

$$\Delta I_{L\_ON} = \frac{V_{dd} - V_{out}}{L} \cdot t_{ON} \quad (3.14)$$

$$\Delta I_{L\_OFF} = \frac{V_{out} - V_f}{L} \cdot t_{OFF} \quad (3.15)$$

つまり、インダクタの値が大きくなると電流リップルが減少し、小さくなると電流リップルが増加することが分かる。電流リップルの許容量は鋸歯状波のスルーレートで決まる。この理由はエラーアンプの出力電圧スルーレートが鋸歯状波よりも大きいとき、エラーアンプの出力電圧が変化すると鋸歯状波を追い越す可能性があるからである。エラーアンプの出力電圧が変化し、鋸歯状波を追い越した場合、PWM 変調する際、スイッチング周波数が不安定になる可能性がある。エラーアンプの出力電圧が変化したとき、鋸歯状波を追い越した場合を図 (3.9) に示す。エラーアンプの出力電圧が鋸歯状波を追い越すと図 (3.9) のように出力が ON から OFF、OFF から ON に変化する。

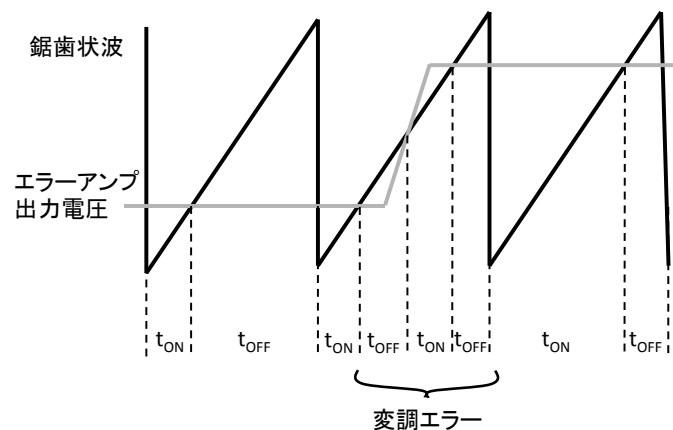


図 3.9: PWM 変調の変調エラー

このような動作が起きないように、エラーアンプの出力電圧を変化させないようにする必要がある。エラーアンプの出力電圧はDC-DCコンバータの電流リップルに依存する。エラーアンプの出力電圧は式に示すように  $I_{OPAmp}$  のパラメータを含む。 $I_{OPAmp}$  の電流式は

$$I_{OPAmp} = \frac{V_{out} - V_f}{L} \cdot t_{OFF} + I_{offset} \quad (3.16)$$

となる。

エラーアンプの出力電圧は

$$V_A = K \cdot R_{sense} \cdot I_{OPAmp} = K \cdot R_{sense} \cdot \frac{V_{out} - V_f}{L} \cdot t_{OFF} + I_{offset} \quad (3.17)$$

となる。

エラーアンプの出力電圧のスルーレートは

$$\frac{dV_A}{dt} = \frac{K \cdot R_{sense} \cdot (V_{out} - V_f)}{L} \quad (3.18)$$

となる。

鋸歯状波のスルーレートは

$$\frac{dV_{SAW}}{dt} = \frac{\Delta V_{PP}}{\Delta t} \quad (3.19)$$

となる。

エラーアンプの出力電圧のスルーレートが鋸歯状波のスルーレートを越えられない条件式は

$$\frac{dV_A}{dt} > \frac{\Delta V_{PP}}{\Delta t} \quad (3.20)$$

となる。

この式を展開すると

$$\frac{\Delta V_{PP}}{\Delta t} > \frac{K \cdot R_{sense} \cdot V_{out} - V_f}{L} \quad (3.21)$$

$$L > K \cdot R_{sense} \cdot V_{out} - V_f \frac{\Delta V_{PP}}{\Delta t} \quad (3.22)$$

となり、PWM 変調でスイッチング周波数が安定に動作するインダクタの値が式にて求めることができる。

### 3.3.4 鋸歯状波のオフセットの導出方法

鋸歯状波のオフセットはオペアンプの出力電流のオフセットを制御する値となる。オペアンプから供給される電流は動作効率が悪いいため、オペアンプ電流が多くなると包絡線追跡電源の動作効率が劣化する。このため鋸歯状波のオフセットは非常に重要なパラメータとなる。鋸歯状波のオフセットの一般式を求める為にはエラーアンプの出力電源の一般式を導出する必要がある。条件式として前項で既出である式 (3.13)

$$V_A = K \cdot R_{sense} \cdot I_{OPAmp} \quad (3.23)$$

に注目する。

包絡線追跡電源を最高効率で動作する条件は  $I_{OPAmp} = 0[A]$  である。条件式より  $V_A$  は  $0[V]$  になるのが望ましいので

$$V_A = K \cdot R_{sense} \cdot I_{OPAmp} = 0 \quad (3.24)$$

となる。

次の条件式は鋸歯状波とエラーアンプの出力電圧の関係から求められることができる。鋸歯状波とエラーアンプの出力電圧の関係を図に示す。 $V_A$  の平均値は鋸歯状波の最低電圧、エラーアンプの最低電圧、エラーアンプの電圧リップルの平均値の和であることが図より分かる。これらの関係を式で表すと

$$V_{A\_offset} = V_{min} + V_{A\_min} + \frac{1}{2}V_{A\_PP} \quad (3.25)$$

となる。

次に各項のパラメータを導出する。初めに鋸歯状波の最小電圧  $V_{min}$  を求める。鋸歯状波の最小電圧は図で示すように、鋸歯状波のオフセット電圧から鋸歯状波の振幅の半分の値を引いたものである。よって、これを式に表すと

$$V_{min} = V_{SAW\_offset} - \frac{1}{2}V_{PP} \quad (3.26)$$

となる。

次にエラーアンプの最小電圧  $V_{A\_min}$  を求める。エラーアンプの最小電圧は図に表すように鋸歯状波の傾きとPWMのデューティの2項目で決まる。これを式に表すと

$$V_{A\_min} = \frac{\Delta V_{SAW}}{\Delta t} \cdot t_{ON} \quad (3.27)$$

となる。

最後にエラーアンプの電圧リップル  $\Delta V_{A\_PP}$  を求める。エラーアンプの平均電圧はエラーアンプの電圧リップルを導出、そのリップル幅の平均値はリップル幅の半分となる。電圧リップル幅は増幅率、電流センス抵抗、オペアンプ電流で決まるので

$$\Delta V_{A\_PP} = K \cdot R_{sense} \cdot I_{OPamp} \quad (3.28)$$

となる。

電流のリップル幅を求める為に  $V_{offset}$  の状態で動作を求めると

$$V_{A\_PP} = K \cdot R_{sense} \cdot I_{OPamp} \cdot \frac{V_{out} - V_f}{L} \cdot t_{OFF} \quad (3.29)$$

となる。

以上の式より  $V_{A\_offset}$  は

$$V_{A\_offset} = V_{SAW\_offset} - \frac{1}{2} V_{PP} + \frac{\Delta V_{SAW}}{\Delta t} \cdot t_{ON} + \frac{K \cdot R_{sense}}{2} \cdot \frac{V_{out} - V_f}{L} \cdot t_{OFF} \quad (3.30)$$

となる。

式 (3.24)(3.30) より

$$V_{A\_offset} = V_{SAW\_offset} - \frac{1}{2} V_{PP} + \frac{\Delta V_{SAW}}{\Delta t} \cdot t_{ON} + \frac{K \cdot R_{sense}}{2} \cdot \frac{V_{out} - V_f}{L} \cdot t_{OFF} = 0 \quad (3.31)$$

$$V_{SAW\_offset} = \frac{V_{PP}}{2} - \left( \frac{\Delta V_{SAW}}{\Delta t} \cdot t_{ON} + \frac{K \cdot R_{sense}}{2} \cdot t_{OFF} \right) \quad (3.32)$$

これにより鋸歯状波のオフセット電圧を導出できる。

### 3.3.5 鋸歯状波のオフセットの導出方法

鋸歯状波の振幅の導出方法を説明する。鋸歯状波はエラーアンプの出力信号を PWM 変調する為に用いる。PWM 変調でスイッチング電源を制御する際に重要な点として、スイッチング周波数を一定に保つ必要がある。スイッチング周波数を一定に保つためには、鋸歯状波の振幅を適切な値に設定することが必要である。スイッチング周波数を一定に保つためには、エラーアンプの出力電圧が鋸歯状波の振幅の範囲内に収まることが条件となる。さらに鋸歯状波の線形性を考慮した場合、鋸歯状波の波形上下数パーセントは線形性が維持できない。このため PWM 変調を行う際には、変調の線形性を維持するために図で示すように鋸歯状波の上下数パーセントで変調が行われないよう鋸歯状波の振幅にマージンを設ける場合がある。よってエラーアンプの最大電圧  $V_{A\_max}$  と鋸歯状波の最大電圧  $V_{SAW\_max}$  の間には

$$V_{SAW\_max} > V_{A\_max} \quad (3.33)$$

の関係がある。

エラーアンプの最小電圧と鋸歯状波の最小電圧の間には

$$V_{SAW\_min} < V_{A\_min} \quad (3.34)$$

の関係がある。

次にエラーアンプの出力電圧について求める。エラーアンプの出力電圧の一般式は最大電圧と最小電圧で分けて考える。エラーアンプの出力電圧の最大値は次の式で求められる。

$$V_{A\_max} = K \cdot R_{sense} \cdot I_{OP\_Amp\_max} \quad (3.35)$$

この式の  $I_{OP\_Amp\_max}$  はオペアンプ電流の最大値を表している。オペアンプ電流は負荷電流と DC-DC コンバータからの電流の差で決まる。DC-DC コンバータ電流は負荷電流の平均値に設定されている為、オペアンプ電流の最大値は

$$I_{OP\_Amp\_max} = \frac{V_{max} - V_{ave}}{R_{load}} \quad (3.36)$$

式よりエラーアンプの出力電圧の最大値は

$$V_{A\_PP} = K \cdot R_{sense} \cdot I_{OP\_Amp} \cdot \frac{V_{max} - V_{ave}}{R_{load}} \quad (3.37)$$

となる。

エラーアンプの出力電圧の最小値は次の式で求められる。

$$V_{A\_max} = K \cdot R_{sense} \cdot I_{OP\_Amp\_min} \quad (3.38)$$

この式の  $I_{OP\_Amp\_min}$  はオペアンプ電流の最小値を表している。オペアンプ電流の最小値も最大値と同様の考えより

$$I_{OP\_Amp\_min} = \frac{V_{min} - V_{ave}}{R_{load}} \quad (3.39)$$

となる。

式よりエラーアンプの出力電圧の最小値は

$$V_{A\_min} = K \cdot R_{sense} \cdot I_{OP\_Amp} \cdot \frac{V_{min} - V_{ave}}{R_{load}} \quad (3.40)$$

となる。

以上より、鋸歯状波の最大電圧と最小電圧は

$$V_{SAW\_max} > K \cdot R_{sense} \cdot I_{OP\_Amp} \cdot \frac{V_{max} - V_{ave}}{R_{load}} \quad (3.41)$$

$$V_{SAW\_min} < K \cdot R_{sense} \cdot I_{OP\_Amp} \cdot \frac{V_{min} - V_{ave}}{R_{load}} \quad (3.42)$$

の条件式を満たす必要がある。以上で、三角波制御方式包絡線追跡電源の回路パラメータをすべて求めることができた。

## 第4章 従来のヒステリシス共振 制御方式を用いた多相包 絡線追跡電源回路

本章では従来のインターリーブ構成を用いた多相包絡線追跡電源回路の構成とメリットについて述べる。次に従来多相技術の問題点について述べる。

### 4.1 従来のヒステリシス共振制御方式を用いた多 相包絡線追跡電源回路の概要

従来ヒステリシス共振制御方式を用いた包絡線追跡電源を考える。本回路のDC-DCコンバータ部は、電流検出用ヒステリシスコンパレータとインダクタが各1つで構成されている。このため入力包絡線信号の平均スルーレートで最も効率が良くなるように各回路パラメータを設定している。しかしながら、本回路の問題点として、入力包絡線信号のスルーレートは幅広い周波数に分布しているため、入力包絡線信号が平均スルーレートから外れる時間が非常に多い点がある。このため入力包絡線信号が平均スルーレートから外れた条件下では、効率の低下するという問題がある。ここで包絡線追跡電源の多相化について考える。DC-DCコンバータのスルーレートは式(4.1)で決まる。

$$SR_{i_{sw}} = \frac{1}{L}(V_{sw}(t) - V_o(t)) \quad (4.1)$$

つまりDC-DCコンバータを異なる値のインダクタで設計することでマッチングスルーレートを増やすことができる。この方式を適用する際、問題となるのは複数のDC-DCコンバータを入力包絡線信号によっ



て時間連続でマッチングスルーレートを切り替えることができるかである。既存の設計手法として、電流検出部分のヒステリシスコンパレータのヒステリシス幅を変えることで電流検出回路の応答速度を変える方法が提案されている。これにより包絡線追跡電源のマッチングスルーレートを時間連続で切り替えることができる。包絡線追跡電源を多相化した時のブロック図は図(4.1)、回路図は図(4.2)にて示す。

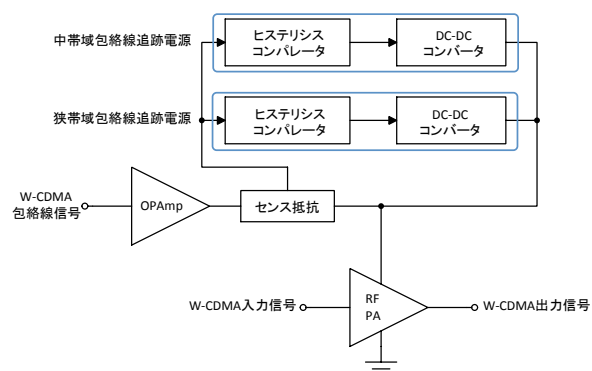


図 4.1: ヒステリシス制御方式包絡線追跡電源の多相化ブロック図

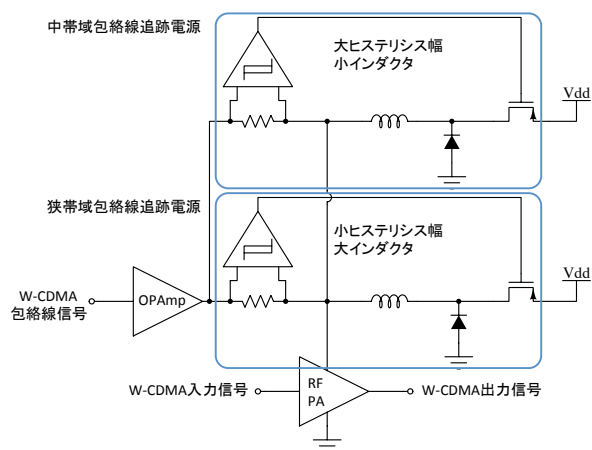


図 4.2: ヒステリシス制御方式包絡線追跡電源の多相化回路図

包絡線追跡電源を狭帯域に設計する場合はヒステリシスコンパレータのヒステリシスを小さく、インダクタを大きく設定する。狭帯域設計の包絡線追跡電源は高精度で電流を検出するため、MOS-FET によるスイッチングは高速で動作は低リップルになる。しかしインダクタ値が大きいため低速動作になる。つまり包絡線追跡電源は入力信号が低い周波数の時に対して動作効率が高く維持できる。しかし、包絡線信号のスループレートが包絡線追跡電源の動作帯域を外れやすくなるため動作効率が低くなりやすい。狭帯域設計時の動作効率は図 (4.3) のようになる。

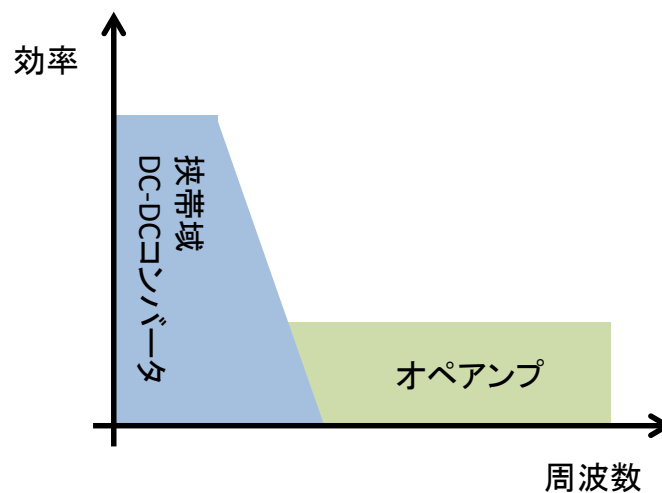


図 4.3: DC-DC コンバータを狭帯域設計した場合の動作効率

包絡線追跡電源を中帯域に設計する場合はヒステリシスコンパレータのヒステリシスを大きく、インダクタを小さく設定する。中帯域設計の包絡線追跡電源は低精度で電流を検出するため、MOS-FET によるスイッチングは低速で動作は大リップルになる。しかしインダクタ値が小さいため高速動作となる。包絡線追跡電源に入力される包絡線信号のスループレートが低い場合、電流リップルを打ち消すためにオペアンプから電流を多く供給するため動作効率が低くなる。しかし、包絡線信号のスループレートが変化しても動作帯域が広いために急激な効率低下がない。中帯域設計時の動作効率は図 (4.4) のようになる。

多相包絡線追跡電源は狭帯域設計の包絡線追跡電源の長所と中帯域設計の包絡線追跡電源の長所を連続で動作させることで動作効率は図 (4.5) のようになる。これによりヒステリシス制御包絡線追跡電源を多相化する

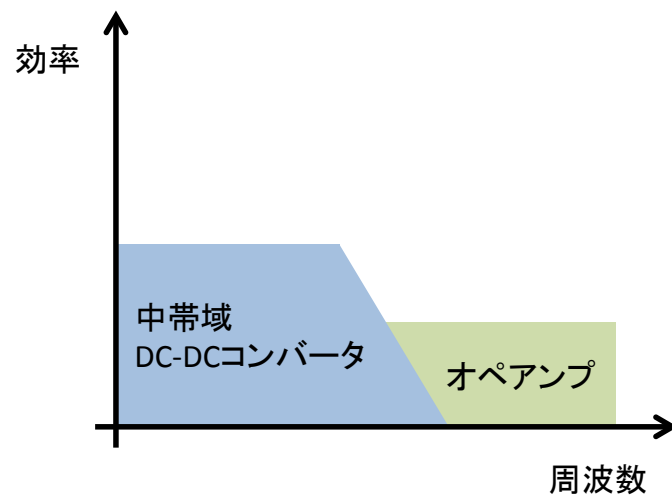


図 4.4: DC-DC コンバータを中帯域設計した場合の動作効率

ることにより高効率化が可能となる。

今回、狭帯域設計、中帯域設計、インターリーブ構成の3つの回路特性の比較をSIMPLISを用いたシミュレーションにて行った。シミュレーション結果を図(4.6)にて示す。これによりインターリーブ構成を用いることで狭帯域、中帯域それぞれの場合で効率の改善が行われていることが確認できる。よって本手法を用いることで、従来以上の効率と動作帯域を実現できる。

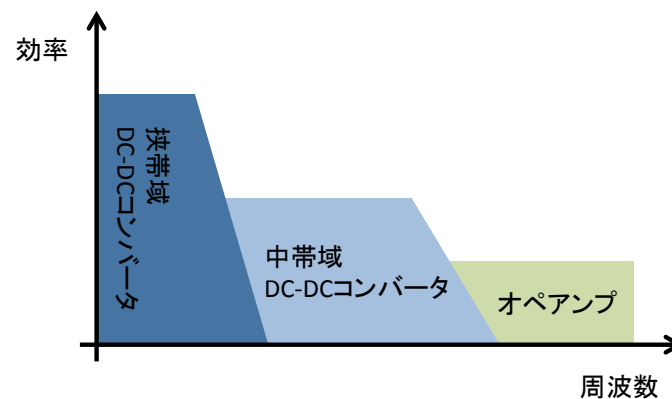


図 4.5: 高効率化手法を用いた場合の動作効率

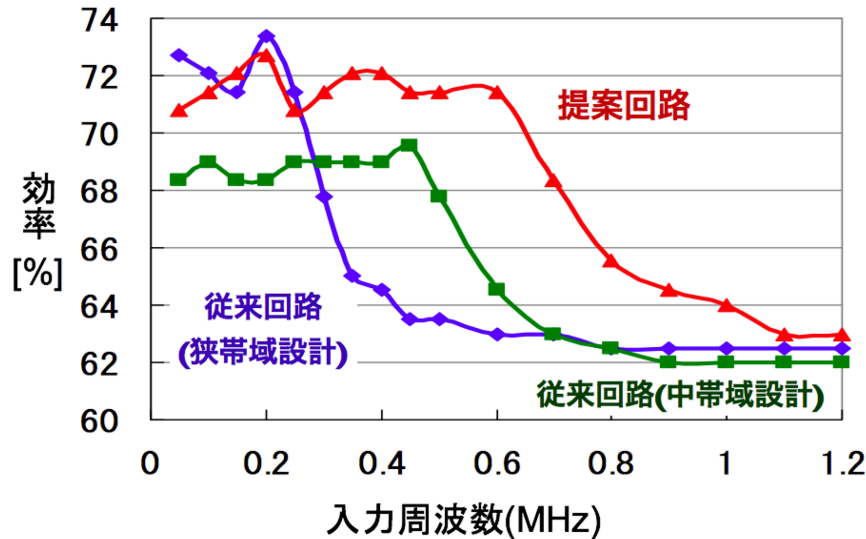


図 4.6: 高効率化手法を用いた場合の動作効率

## 4.2 従来のヒステリシス共振制御方式を用いた多相包絡線追跡電源回路の問題点

前項で述べたヒステリシス共振制御の多相化を用いた高効率設計技術であるが、問題点が2つ存在する。1つ目は、現在の無線通信技術の高周波化に対応できない点である。現在の無線通信規格は高周波化の一途を辿っている。高周波信号の包絡線追跡を行う場合、通常の包絡線追跡方式ではDC-DCコンバータのスルーレート不足により、図(4.7)に示すようにほとんどすべての包絡線信号をオペアンプ電流で追跡することとなり、低効率動作となってしまう。よって包絡線追跡方式を用いて、動作効率の良い高周波信号用包絡線追跡電源を設計する場合、DC-DCコンバータの広帯域化・高スルーレート化が不可欠となるのである。

2つ目は、そのDC-DCコンバータの広帯域化に関する回路素子の限界である。例えば、DC-DCコンバータの動作において、MOS-FETを用いたSwitcherのスイッチング周波数の限界がDC-DCコンバータの帯域限界となる。よって、スイッチング周波数に頼らず、DC-DCコンバータを広帯域化・高スルーレート化することが求められている。以上の問題点を解決するために用いられる一般的な手法として、DC-DCコンバータを多相に設計する方法が存在する。これにより、個々のDC-DCコンバータの性能

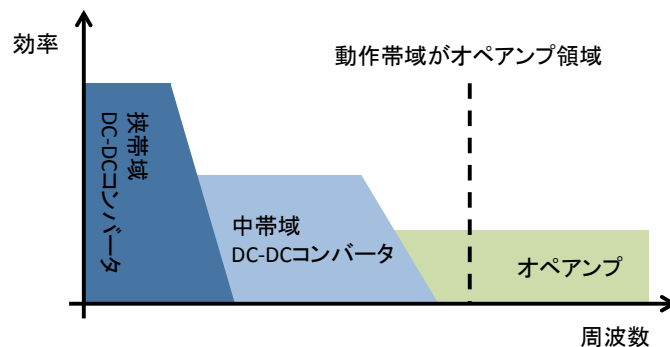


図 4.7: 高周波信号に対する従来手法の問題点

はそのままに、より高い周波数に対応することが出来る。今回、DC-DC コンバータの多相化手法をヒステリシス制御方式に生かし、包絡線追跡電源を設計する。

ヒステリシス制御方式 DC-DC コンバータは、数ある DC-DC コンバータの中でも以下のメリット、デメリットが存在する。

- 高速応答
- 回路素子が少なく設計が容易
- 内部共振を使用するため、外的要因に左右されやすい

一般的に MOS-FET のスイッチング周波数は外部クロックに依存し、一定の周波数となるが、ヒステリシス制御方式ではスイッチング周波数が一定でない。よって参照電圧との誤差をヒステリシス幅で即時検知しスイッチングする為、高速応答を実現する。一般的な DC-DC コンバータの多相化手法として、スイッチング周波数の位相をずらしスイッチング周波数を擬似的に向上させる手法がある。この手法を用いることで図 (4.8) に示すように DC-DC コンバータの動作帯域を広げ、包絡線追跡電源全体の動作効率を引き上げる。しかし、ヒステリシス制御方式は固定のスイッチング周波数を持たないため、単純にこの手法を導入することができない。次章より、ヒステリシス制御方式 DC-DC コンバータの多相化技術について説明する。

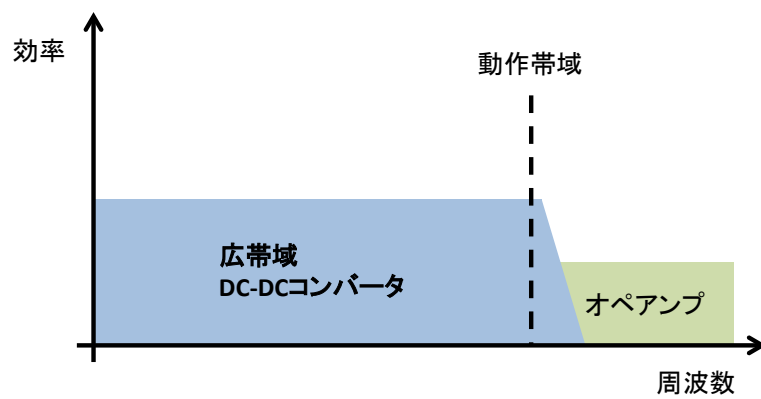


図 4.8: 高周波信号に対する解決策

## 第5章 ヒステリシス共振制御型 多相DC-DCコンバータ

### 5.1 三角波を用いたヒステリシスDC-DCコンバータ

図(5.1)に提案されているヒステリシス制御型 DC-DC コンバータを示す。本回路はヒステリシスコンパレータを用いている。制御信号のタイミングチャートを図(5.2)に示す。ヒステリシス幅は High、Low のしきい電圧、 $V_H$ 、 $V_L$  によって決まる。各しきい電圧は、参照電圧  $V_{ref}$ 、High 側の出力電圧  $V_{OH}$ 、Low 側の出力電圧  $V_{OL}$ 、抵抗  $R_a$ 、 $R_b$  から、以下の式にて表せられる。

$$V_H = \frac{R_a}{R_a + R_b} V_{ref} + \frac{R_b}{R_a + R_b} V_{OH} \quad (5.1)$$

$$V_L = \frac{R_a}{R_a + R_b} V_{ref} + \frac{R_b}{R_a + R_b} V_{OL} \quad (5.2)$$

提案手法について説明する。初めに出力電圧を検知し、コンパレータにて参照電圧と比較、High/Low 信号を出力する。コンパレータ出力信号は各 MOS-FET の ON/OFF 制御を行う。コンパレータ信号出力はコンパレータの 2 つの入力端子それぞれにフィードバックされる。+ 端子ノードの電圧  $v_p$  はヒステリシス幅を持つ矩形波信号となる。- 端子ノードの電圧  $v_n$  はコンパレータの出力信号を  $C_1$ 、 $R_1$  を用いて三角波とし、出力電圧に足し合わせるため、オフセットを持った三角波信号となる。以上の動作を繰り返すことで、一定のデューティサイクルで所望の出力電圧を維持する。

次項にて、本ヒステリシス制御方式を用いて DC-DC コンバータの多相化を検討する。

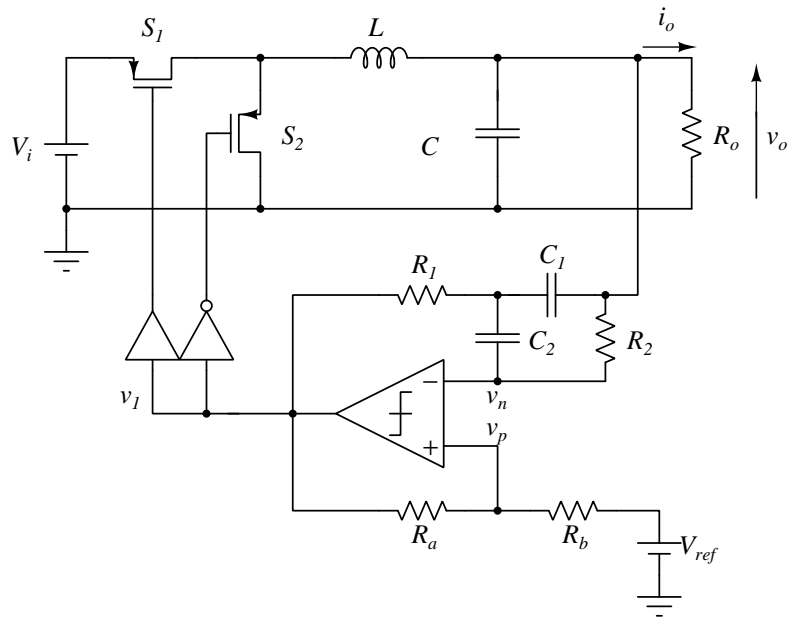


図 5.1: 提案手法ヒステリシス DC-DC コンバータ基本回路

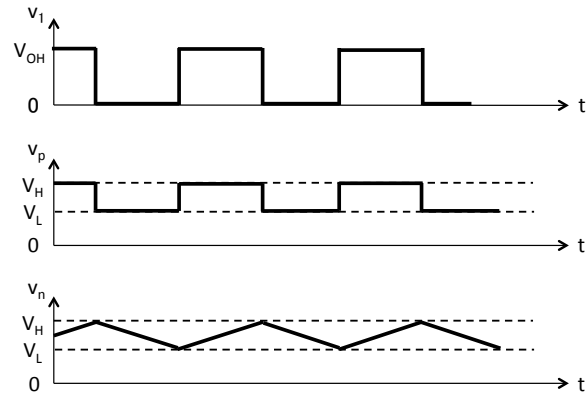


図 5.2: タイミングチャート

## 5.2 同期型ヒステリシス制御方式を用いたDC-DC コンバータ

同期型ヒステリシス DC-DC コンバータの回路図を図 (5.3) に示す。本回路は制御部に AND 回路と外部クロック同期信号  $V_E$  を活用する。本回



路の動作タイミングチャートを図 (5.4) に示す。

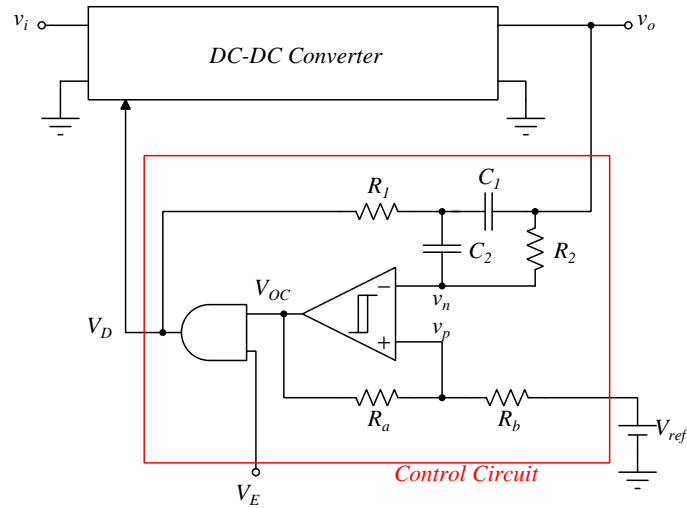


図 5.3: 同期型ヒステリシス DC - DC コンバータ回路

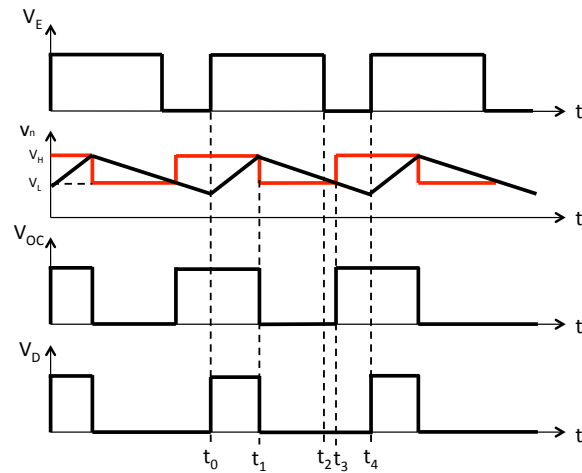


図 5.4: タイミングチャート

$T = t_0$  の時、 $V_E$  は High となる。 $V_n$  は線形に上昇し始め、 $V_p$  は  $V_H$  に到達する。 $T = t_1$  の時、 $V_n$  は  $V_H$  に到達し、コンパレータ出力  $V_{OC}$  は反転し Low となる。 $V_n$  は  $V_H$  に到達後、 $V_L$  に達するまで線形に下降していく。そのコンパレータ出力  $V_{OC}$  と外部クロック同期信号  $V_E$  を入力とし、

AND 回路出力  $V_D$  を得る。もし、 $V_E$  が常に High であったならコンバータの動作は自己発振モードとなり周波数は  $f_0$  となる。同期型コンバータのスイッチング周波数  $f_s$  との関係は  $F_0 > f_s$  である。つまり、このコンバータはヒステリシス制御方式で有りながら、外部クロック同期信号に依存するため、多相化が可能となっている。

### 5.3 Master-Slave 同期方式

上項より示した、同期型ヒステリシス DC-DC コンバータの多相化を検討する。2つの DC-DC コンバータは外部クロック同期信号で動作し、固定のスイッチング周波数を持つ場合、図 (5.5) のようなシンプルな回路構成で多相化が可能である。

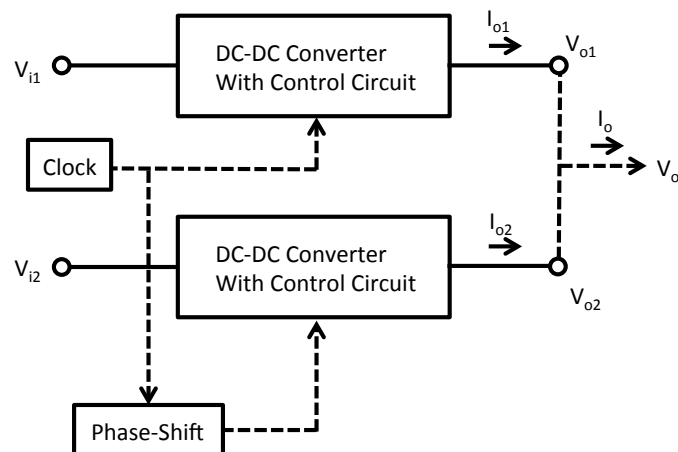


図 5.5: 従来の 2 相 DC - DC コンバータのブロック図

しかし、本方式は外部クロック同期信号を用いて MOS-FET スイッチの ON 時間を制限しているため、動作効率が悪い。この ON 時間の制限を避けるための手法として、Master-Slave 同期方式がある。本方式のブロック図を図 (5.6)、動作タイミングチャートを図 (5.7) に示す。

Master コンバータは上項より示した同期型ヒステリシス制御方式より、自己発振モードで動作する。一方、Slave コンバータは Master コンバータの ON 時間と外部クロック信号より生成された Single Shot 出力と同期する。Single Shot 回路は Master コンバータの MOS-FET ドライブ信号  $V_D$  の立ち上がりを検知し、一定区間の Negative Pulse を出力する。この Negative

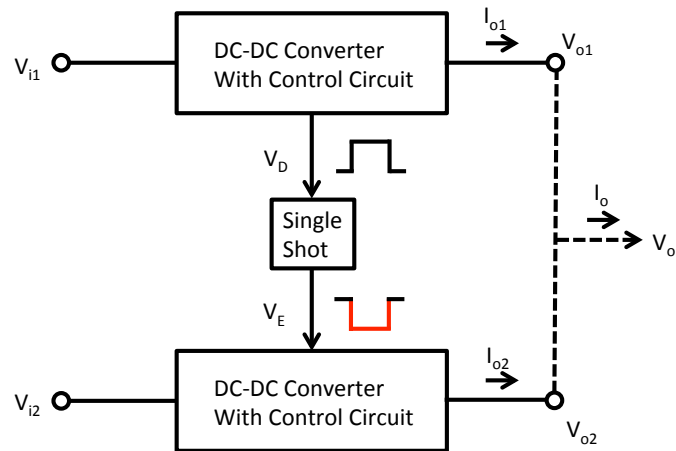


図 5.6: 同期型 2 相ヒステリシス DC – DC コンバータのブロック図

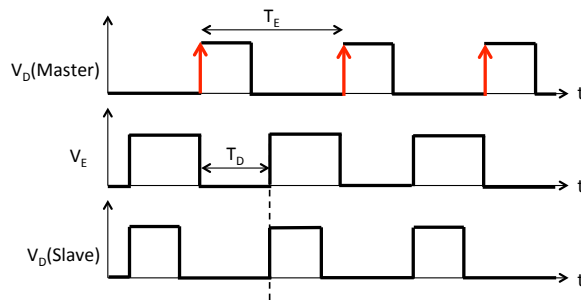


図 5.7: 同期型 2 相ヒステリシス DC – DC コンバータのタイミングチャート

Pulse によって Master コンバータが ON の際に Slave コンバータが OFF、Master コンバータが OFF の際は Slave コンバータが ON となる。これによりスイッチングにおける ON 時間制限を避けることができる。

Master-Slave 方式を用いた同期型ヒステリシス DC-DC コンバータの回路図を図 (5.8) に示す。制御部のタイミングチャートを図 (5.9) に示す。AND 回路出力  $V_D$  と外部クロック同期信号  $V_{sync}$  が NOR 回路へ入力され、 $V_T$  が得られる。 $V_T$  が Single Shot 回路へ入力されると、 $V_T$  の立ち上がりを検知し、一定区間の Negative Pulse を含んだ信号  $V_S$  が出力される。この  $V_S$  とヒステリシスコンパレータ出力  $V_{OC}$  の AND 出力を MOS-FET ドライブ信号として DC-DC コンバータ動作する。

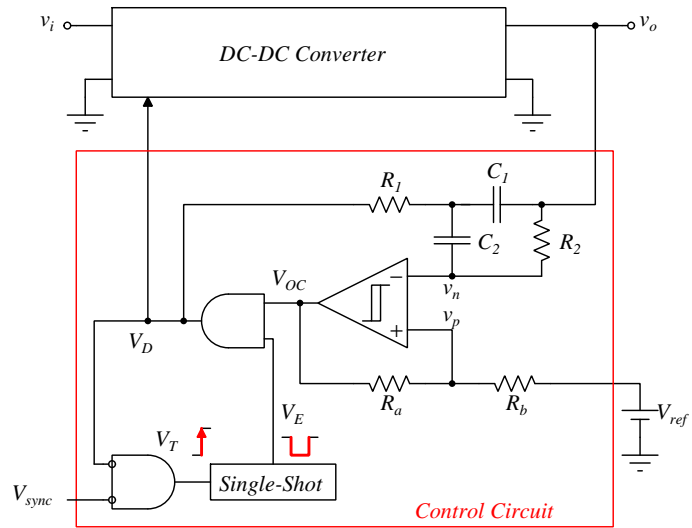


図 5.8: Master-Slave 方式を用いた同期型ヒステリシス DC-DC コンバータ

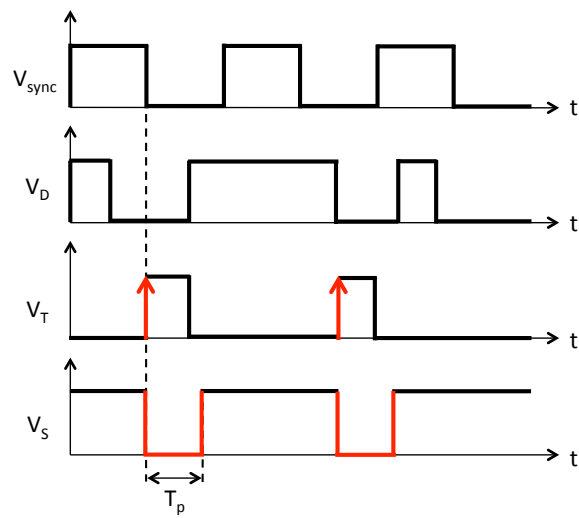


図 5.9: 制御部のタイミングチャート



### 大信号動作

ヒステリシスコンパレータの出力が大信号となる状態は、DC-DC コンバータの電流供給周波数が低い場合である。この場合、即応性の点から DC-DC コンバータの高スルーレート化が求められる。本回路構成は各 Switcher は必要に応じて各 Switcher を並列に動作させる。これにより DC-DC コンバータのスルーレートは引き上げられ、DC-DC コンバータによる供給量を増やすことが出来る。

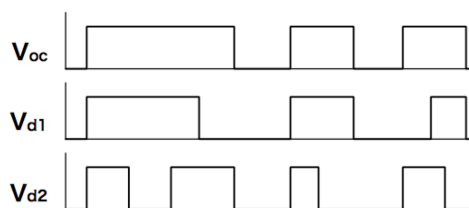


図 6.2: 大信号入力時の理想タイミングチャート

### 小信号動作

ヒステリシスコンパレータの出力が小信号の場合、MOS-FET のスイッチング周波数を超えてしまうことが問題として挙げられる。この場合、PWM 信号で MOS-FET を ON/OFF するという所望の動作が行えない場合が出てきてしまい、DC-DC コンバータによる電力供給が理論通りに行われなくなってしまう。この問題を避ける為にヒステリシスコンパレータから出力されるドライブ信号  $V_d$  をロジック回路を用いて各 Switcher に交互に振り分ける。これにより、DC-DC コンバータの相を増やすごとにスイッチング周波数を抑え、且つ高周波に対応することが出来る。

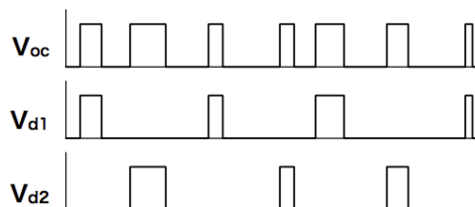


図 6.3: 小信号入力時の理想タイミングチャート

求める2相ロジック回路の動作を大信号・小信号それぞれの場合にてタイミングチャートで示す。初めに大信号入力時のロジック回路のタイミングチャートを図(6.4)に示す。ロジック回路は外部同期信号  $V_{syn}$  を使用する。外部同期信号  $V_{syn}$  は2相の場合  $180^\circ$ 、4相の場合は  $90^\circ$  といったように位相をずらし設定する。ロジック回路では初めにヒステリシスコンパレータ出力  $V_{OC}$  と外部同期信号  $V_{syn}$  の AND 回路出力  $V_t$  を得る。この AND 回路出力  $V_t$  の立ち上がりを検知し、一定区間の Negative Pulse を含んだ信号  $V_s$  を得る。この信号  $V_s$  を用いてヒステリシスコンパレータ出力  $V_{OC}$  に制限をかけたものが、各 Switcher へのドライブ信号  $V_d$  となる。図(6.4)より、 $V_t > V_s$  である時、Switcher が同時に ON するタイミングがあることが分かる。これにより、大信号時には複数の Switcher が駆動し、電力を供給する。

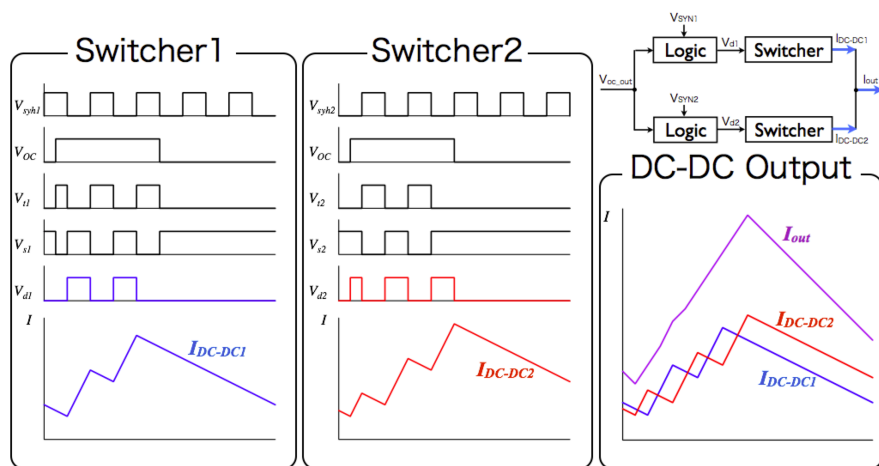


図 6.4: 大信号入力時のロジック回路動作タイミングチャート

次に、小信号入力時のロジック回路のタイミングチャートを図(6.5)に示す。この場合のロジック回路も大信号時と同様の動作チャートとなる。ロジック回路の出力結果として、 $V_s$  を用いたヒステリシスコンパレータ出力  $V_{OC}$  の制限信号が、各 Switcher へのドライブ信号  $V_d$  となる。高周波の場合、ON/OFF の周期が短いため、周期的に一定区間を制限する Negative Pulse によって、各 Switcher にドライブ信号が分散される。これにより、ヒステリシスコンパレータ出力の周波数を落として Switcher を駆動させることが出来る。

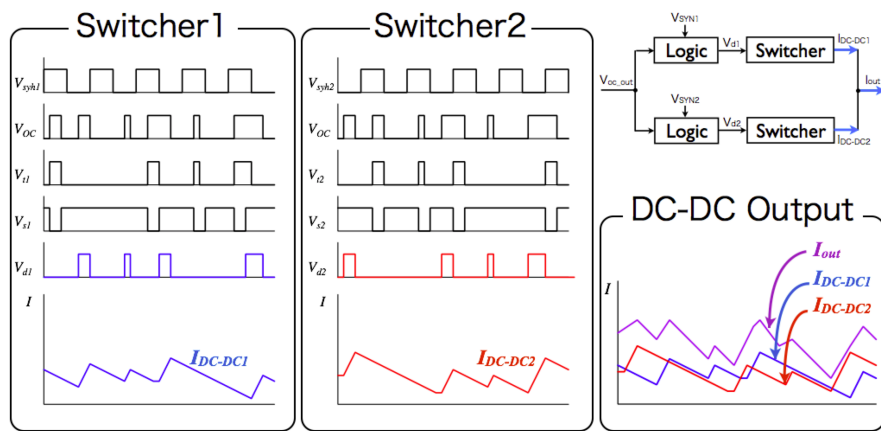


図 6.5: 小信号入力時のロジック回路動作タイミングチャート

## 6.2 制御回路の概要

前項のタイミングチャートを用いて述べた、提案多相ヒステリシス制御方式包絡線追跡電源回路の制御部の回路構成を説明する。制御回路は以下の回路ブロックによって構成されている。

- ロジック回路
- 同期信号生成回路

これらの回路部の構成動作について説明する。本制御部は小面積且つ高速応答を考慮し、TSMC180nmProcess を用いて IC 設計を行った。

### 6.2.1 ロジック回路の概要

2相の場合のロジック回路の回路構成を図(6.6)にて示す。ロジック回路は前項にて説明した、ヒステリシスコンパレータ出力信号を各 Switcher に振り分ける動作を行うような回路構成となっている。ロジック回路内に用いる Negative Pulse を生成する Single Shot 回路について説明する。Single Shot 回路のブロック図を図(6.7)、動作タイミングチャートを図(6.8)に示す。Single Shot 回路は NAND 回路、信号遅延を生じさせる遅延回路によって構成される。Negative Pulse の幅はこの遅延回路の遅延値  $d$  によって決まる。遅延回路の回路構成を図(6.9)に示す。遅延回路は遅延インバータ



チェーンによる遅延発生回路である。この遅延回路によって生じる遅延値  $d$  は、図 (6.9) の様に外部信号入力  $d_1 \sim d_5$  により MUX で経路選択することで調節される。遅延値  $d$  は入力周波数によって最適値が異なるため、このような外部から選択できる回路構成とした。以上の回路構成により、Single Shot 回路は入力信号の立ち上がりタイミングから任意の遅延値  $d$  分の Negative Pulse を出力する。ロジック回路は得られた Negative Pulse を用いてヒステリシスコンパレータ出力信号を各 Switcher に振り分ける。

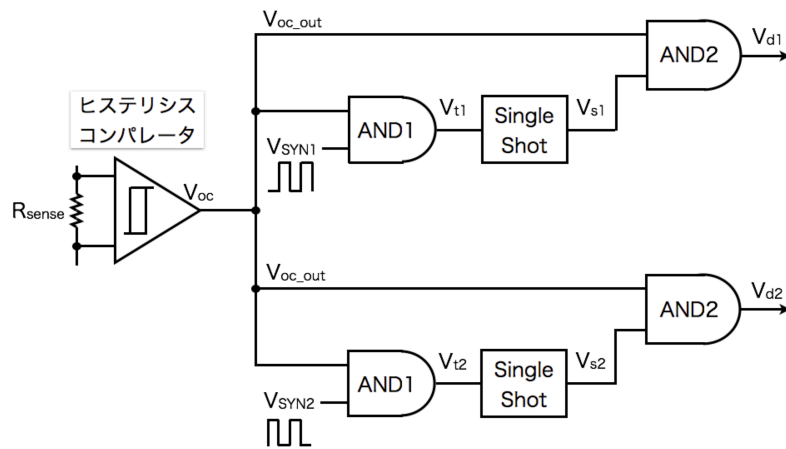


図 6.6: ロジック回路の回路構成

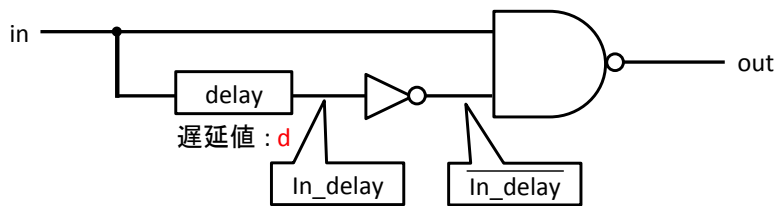


図 6.7: Single Shot 回路のブロック図

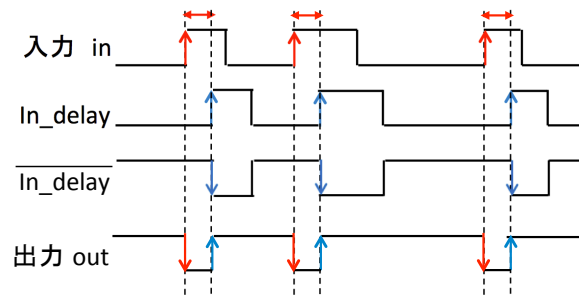


図 6.8: Single Shot 回路の動作タイミングチャート

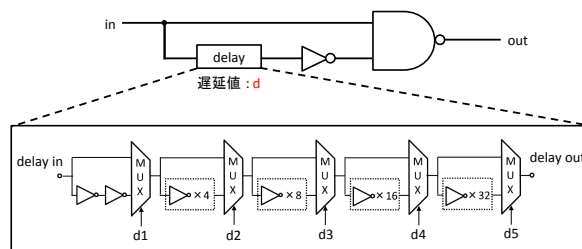


図 6.9: 遅延回路の回路構成

## 6.2.2 同期信号生成回路の概要

生成する同期信号のタイミングチャートを図 (6.10) に示す。同期信号は外部入力信号  $V_{CLK1,2}$  によって生成される。各同期信号  $V_{syn1 \sim 4}$  は周期一定で 2 相の場合  $180^\circ$ 、4 相の場合  $90^\circ$  位相がずれる様に出力される。

同期信号生成回路のブロック図を図 (6.11) に示す。各外部入力信号について説明する。MDSEL 信号は 2 相モード、4 相モードの切り替え信号である。MDSEL 信号は 2 相の AND 回路の入力端に接続されている。MDSEL=1 のとき、同期信号生成回路は各同期信号  $V_{syn1 \sim 4}$  をすべて出力する。MDSEL=0 のとき、MDSEL 信号が入力される 2 相の AND 回路の出力が 0 となり、同期信号は 2 相  $V_{syn1 \sim 2}$  のみ出力される。測定の際、2 相 4 相それぞれのモードの比較検討を行うことが目的である。

EN 信号はこの同期信号生成回路の動作切り替え信号である。EN=1 のとき、同期信号生成回路は所望の動作を行う。EN=0 のとき、同期信号生成回路出力は常に 0 となり、ロジック回路は動作せず、元のヒステリシスコンパレータ出力信号を各 Switcher へ供給する。

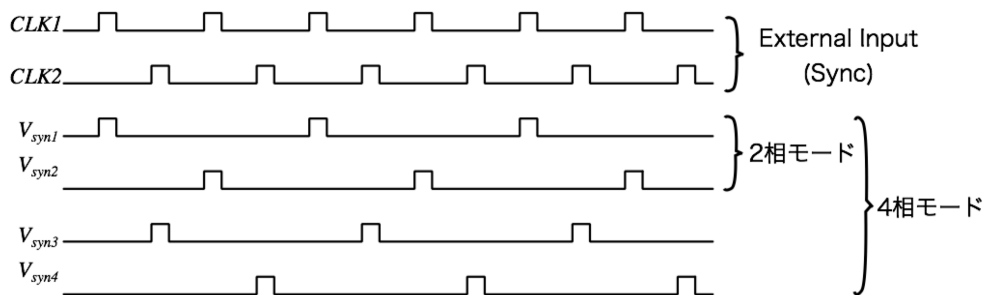


図 6.10: 同期信号のタイミングチャート

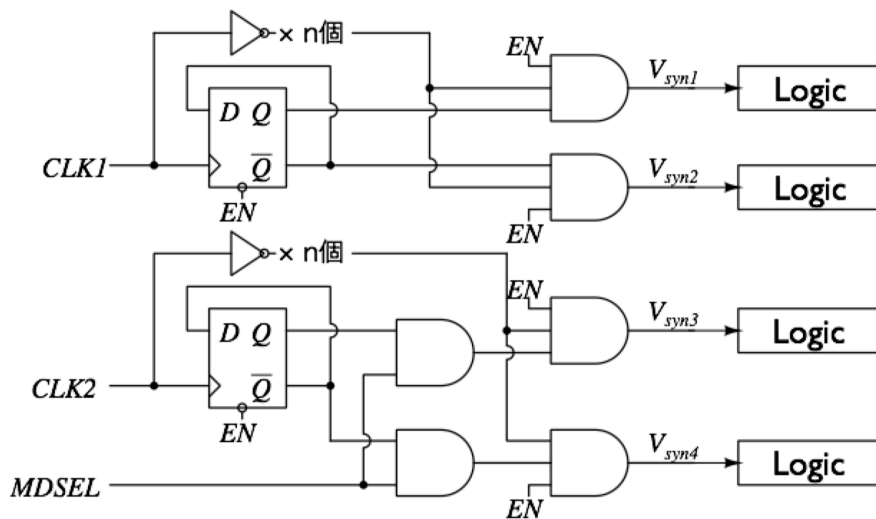


図 6.11: 同期信号生成回路のブロック図

### 6.3 提案ヒステリシス制御方式を用いた4相包絡線追跡電源

提案手法を用いた4相包絡線追跡電源のブロック図を図(6.12)、制御部のブロック図を図(6.13)に示す。4相であるため同期信号の位相が90°ずつずれて入力されている点以外は、2相の場合と変化はない。

提案回路構成により、大信号の場合はSwitcherを並列に動作させ、小信号の場合はSwitcherを交互に動作させることで、効率良く高周波に対応するという所望の動作を実現する。

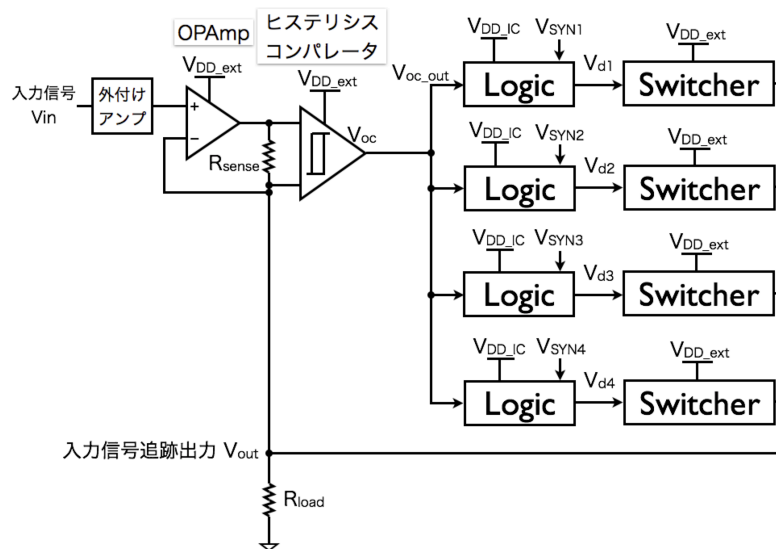


図 6.12: 提案 4 相包絡線追跡電源のブロック図

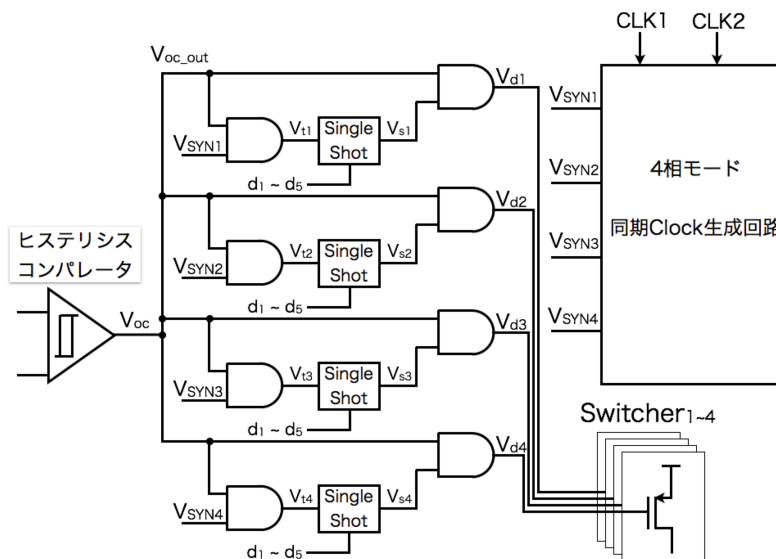


図 6.13: 制御部のブロック図

## 6.4 提案多相包絡線追跡電源回路のシミュレーション検証

提案多相包絡線追跡電源回路のシミュレーションを Spectre を用いて行った。シミュレーション回路を図 (6.14) に示す。使用した回路素子は遅延

のない理想素子を使用した。回路の動作は包絡線信号の代わりに一定周期の  $\sin$  波を入力信号として検証した。回路パラメータを表 (6.1)、シミュレーション結果を図 (6.15)(6.16) に示す。

図 (6.15) より、入力信号に追従する形で DC-DC コンバータが動作し電力を供給していることがわかる。また、各 DC-DC コンバータのスルーレートでは追従できない入力信号でも、同時に駆動させるタイミングを持つことでスルーレートを向上できる。図 (6.16) より、各コンバータのスイッチング周波数の位相をずらすことによる擬似的なスイッチング周波数の高周波数化も確認できる。今回の 4 相構成を用いることでスイッチング周波数を 2.88 倍とすることができた。

本構成を用いることにより、各 DC-DC コンバータのスイッチング周波数、スルーレートを変えることなく、擬似的に出力信号の高周波化・高スルーレート化を実現できる。

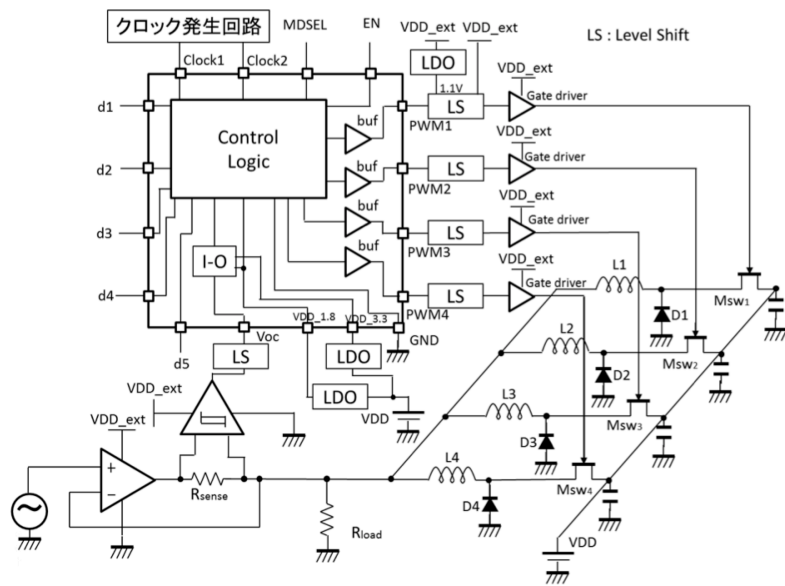


図 6.14: 提案多相包絡線追跡電源-シミュレーション回路

表 6.1: 回路パラメータ

$V_{DD}$	6.5 V
$f_{in}$	500 kHz
$R_{sense}$	0.1 $\Omega$
$R_{load}$	15 $\Omega$
$L_1 \sim 4$	100 $\mu$ H
$h$	10 mV
Clock	5 MHz
Negative Pulse	40 ns

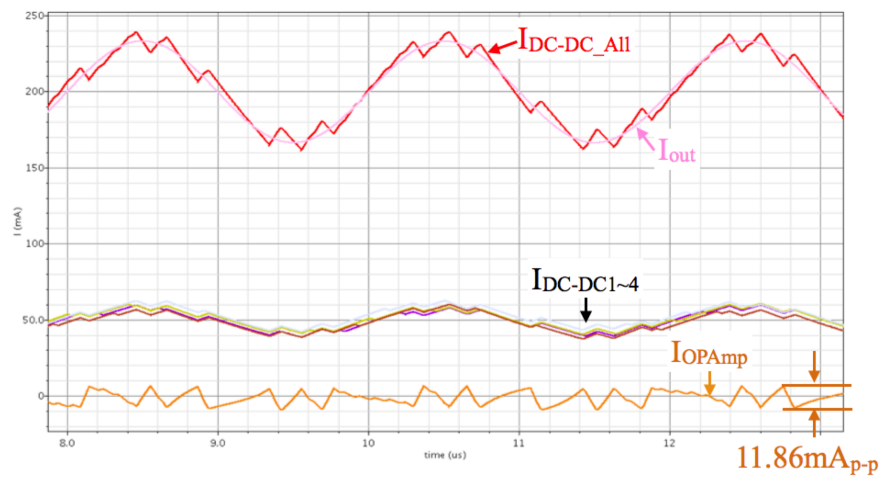


図 6.15: 提案方式-シミュレーション結果

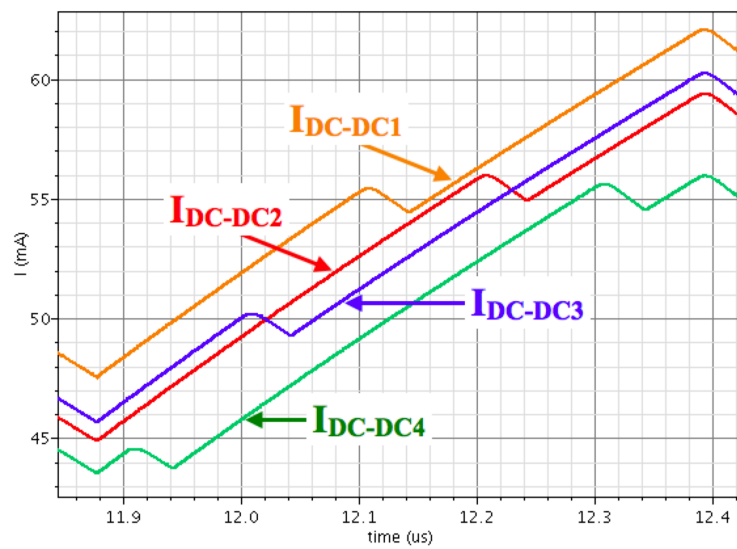


図 6.16: 提案方式-シミュレーション結果

## 第7章 試作・動作検証

### 7.1 包絡線追跡電源回路の試作回路の構成

提案包絡線追跡電源回路は試作チップと測定基盤を作成し、測定評価を行った。作成した試作チップのピン配置を表 (7.1) 図 (7.1)、レイアウト図を図 (7.2) に示す。

表 7.1: ピン配置

Pin Name	Fuction	Direction	Signal	Number
VDD	電源	-	1.8V	4
VDDPST	電源	-	3.3V	4
GND	GND	-	-	4
Voc	コンパレータ入力	IN	Digital	1
d[1:5]	パルス幅調節入力	IN	Digital	(各 1) 計 5
Clock[1:2]	同期信号入力	IN	Digital	(各 1) 計 2
PWM[1:4]	PWM 出力	OUT	Digital	(各 1) 計 4
Vsyn[1:4]	Vsyn 出力	OUT	Digital	(各 1) 計 4
NP[1:4]	NP 出力	OUT	Digital	(各 1) 計 4
MDSEL	2 相/4 相選択信号	IN	Digital	1
EN	イネーブル	IN	Digital	1
INV	出力反転	IN	Digital	1
POC	パワー制御	IN	Digital	1



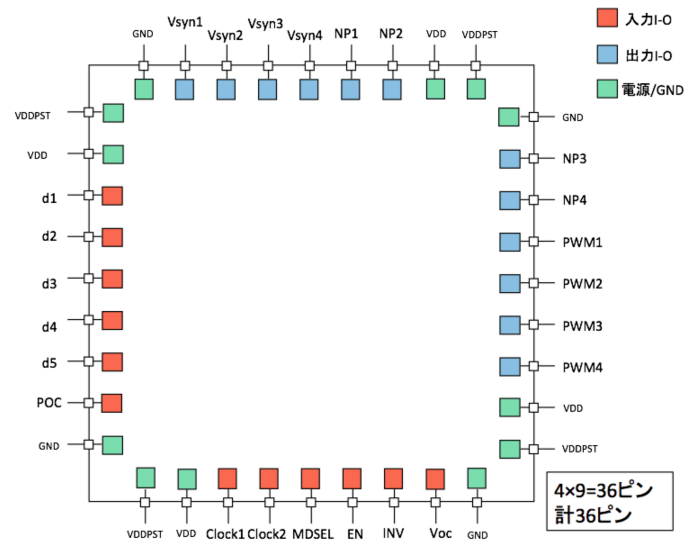


図 7.1: ピン配置

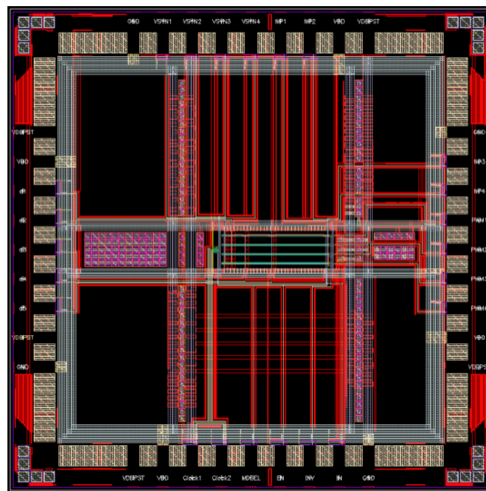


図 7.2: レイアウト図

測定回路の全体回路図を図 (7.3) に示す。使用した回路素子は表 (7.2) に示す。回路で使用される電源は 6.5V, 3.3V, 1.8V の 3 種類である。これらは 6.5V の入力から LDO を用いて 3.3V, 1.8V 電源を生成する。

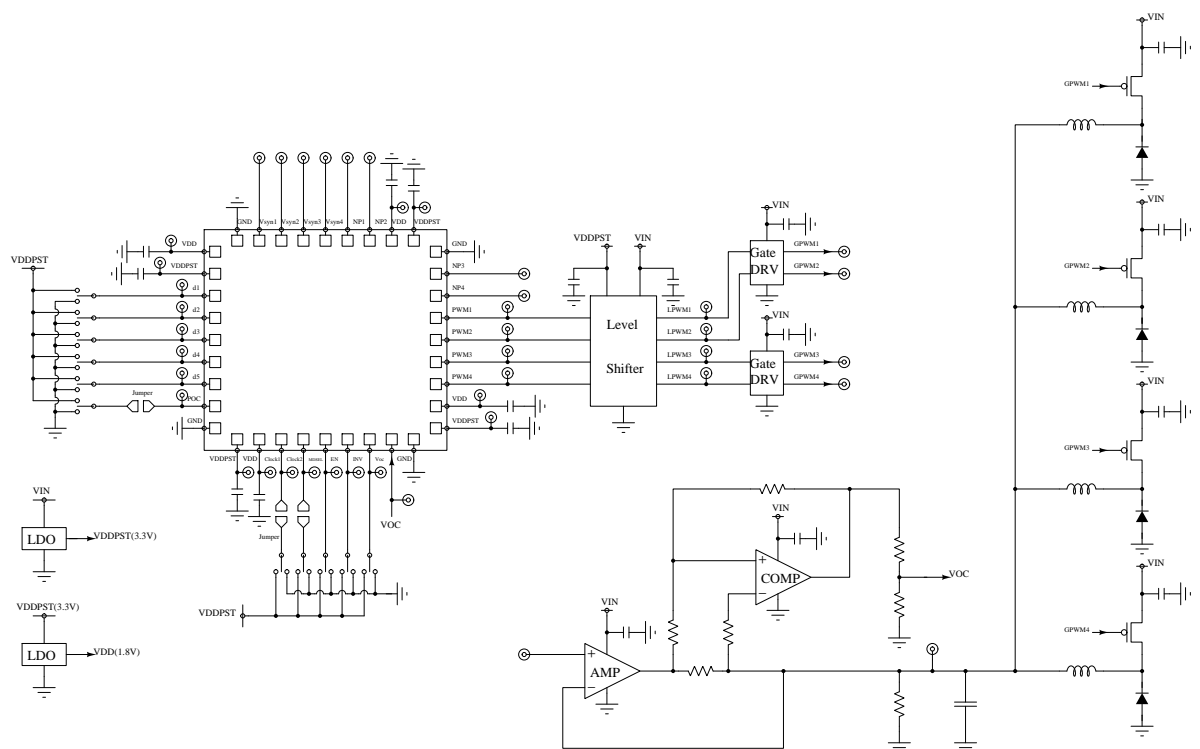


図 7.3: 測定回路-全体図

表 7.2: 使用素子

部品	メーカー	型番
OPAMP	Linear Technology	LT1809
コンパレータ	Linear Technology	LT1711
Power MOS-FET	Rohm	RSF010P05
バイポーラエミッタフォロフ	Rohm	2SD1898
ドライバIC	TI	UCC27524A-Q1
Level Shifter	TI	CD40109B
LDO	Rohm	BD00HC0WEFJ
コイル	TDK	VLS201610HBX
ダイオード	Rohm	TXB0104

## 7.2 包絡線追跡電源回路の試作回路の動作検証

今回、図 (7.4) のような試作回路を作成した。測定の際は供給する高周波高出力増幅器 (AD8014) の代わりとして、固定抵抗  $16\Omega$  を接続し検証した。測定は以下の条件で行った。

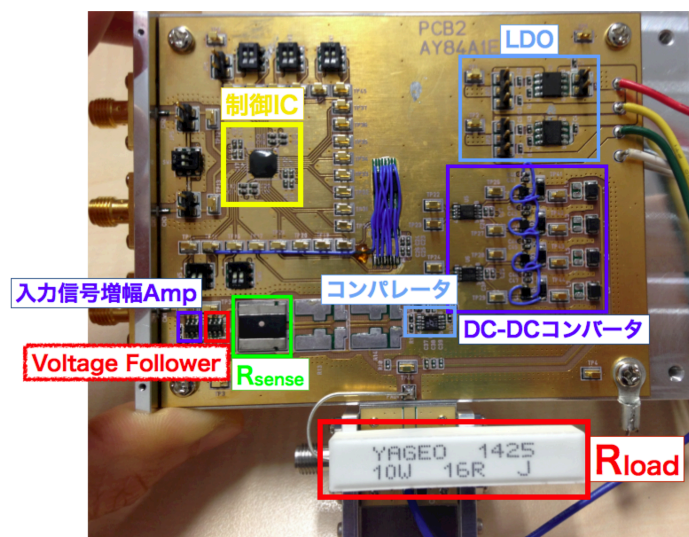


図 7.4: 測定回路

### 測定条件

- 1. 入力信号周波数 1MHz
- 2. 入力信号周波数 5MHz
- 3. 入力信号周波数 10MHz
- 4. 入力信号周波数 20MHz
- 5. 包絡線信号入力

### 1. 入力信号周波数 1MHz

入力信号周波数 1MHz、振幅  $1V_{p-p}$  の測定結果を図 (7.5) に示す。入力信号である sin 波に DC-DC コンバータの出力が追従していることがわかる。しかし、入力信号周波数に対して設定したインダクタ値が適した値より小さいため、DC-DC コンバータのリプル電流は大きく効率は悪い。

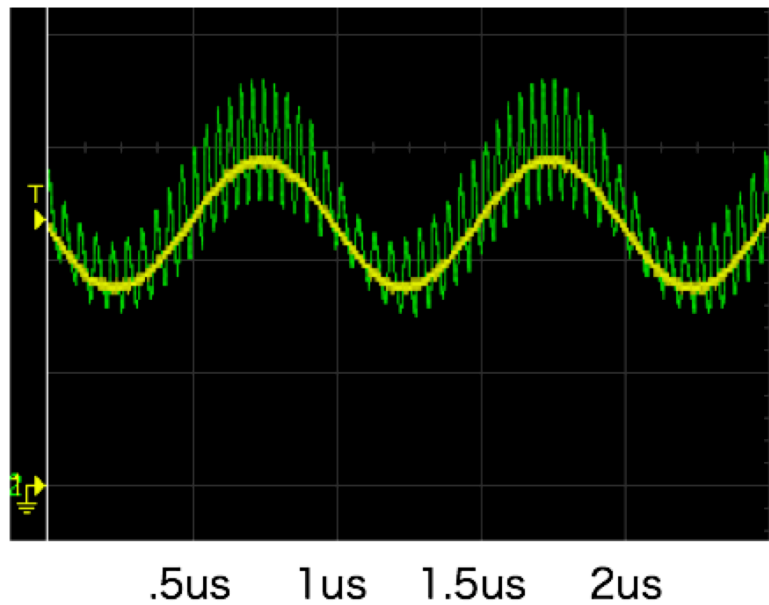


図 7.5:  $f_{in}=1\text{MHz}$  の測定結果

## 2. 入力信号周波数 5MHz

入力信号周波数 5MHz、振幅  $1V_{p-p}$  の測定結果を図 (7.6) に示す。入力信号である sin 波に DC-DC コンバータの出力が追従していることがわかる。しかし、負荷電流スルーレート  $SRi_{R_{load}}$  と DC-DC コンバータのスルーレート  $SRi_{sw}$  の関係は  $SRi_{R_{load}} < SRi_{sw}$  となっており、スイッチング損失分が大きく本回路の最適効率の動作点ではない。

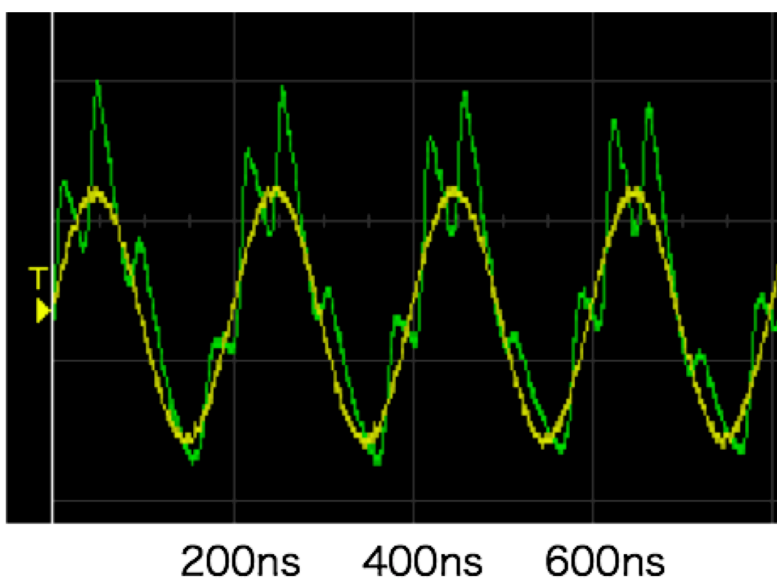


図 7.6:  $f_{vin}=5\text{MHz}$  の測定結果

## 2. $f_{v_{in}}=10\text{MHz}$

入力信号周波数 10MHz、振幅  $1V_{p-p}$  の測定結果を図 (7.7) に示す。入力信号である sin 波に DC-DC コンバータの出力が追従している。また、負荷電流スルーレート  $SRi_{R_{load}}$  と DC-DC コンバータのスルーレート  $SRi_{sw}$  がほぼ一致したマッチングスルーレートの状態に最も近い。よって本提案回路のマッチング周波数は 10MHz 程度である。

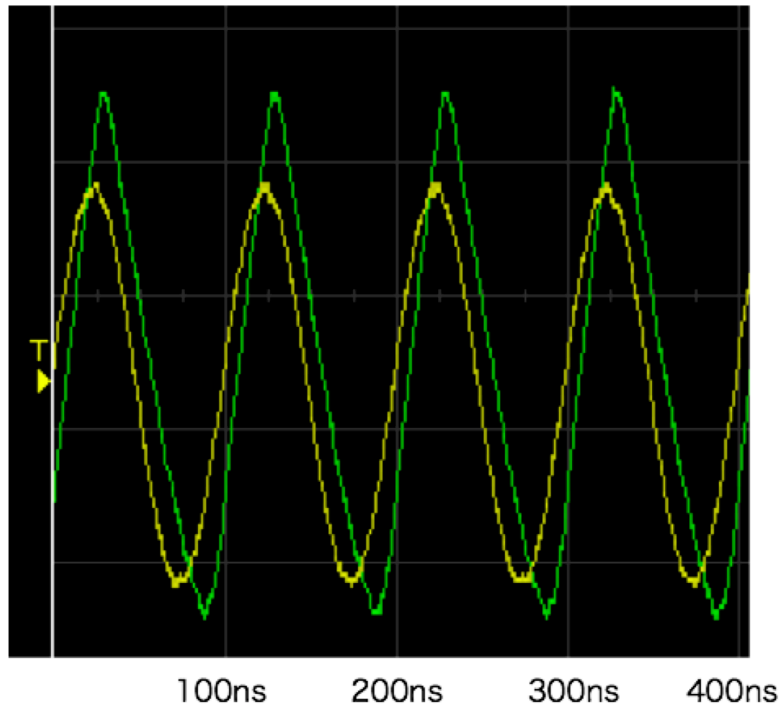


図 7.7:  $f_{v_{in}}=10\text{MHz}$  の測定結果

### 3. $f_{vin}=20\text{MHz}$

入力信号周波数 20MHz、振幅  $1V_{p-p}$  の測定結果を図 (7.8) に示す。入力信号である sin 波に対して DC-DC コンバータの出力が追従出来ていない。所望の動作を行わない原因として、IC チップとして設計した制御回路部、外部素子で使用しているドライバ IC による信号遅延によるものであると考えられる。この信号遅延による追従性能の劣化は高周波信号処理の際には避けられない問題である。対処法としては、位相補正を行い包絡線と入力信号の位相をそろえる手法による改善が考えられる。

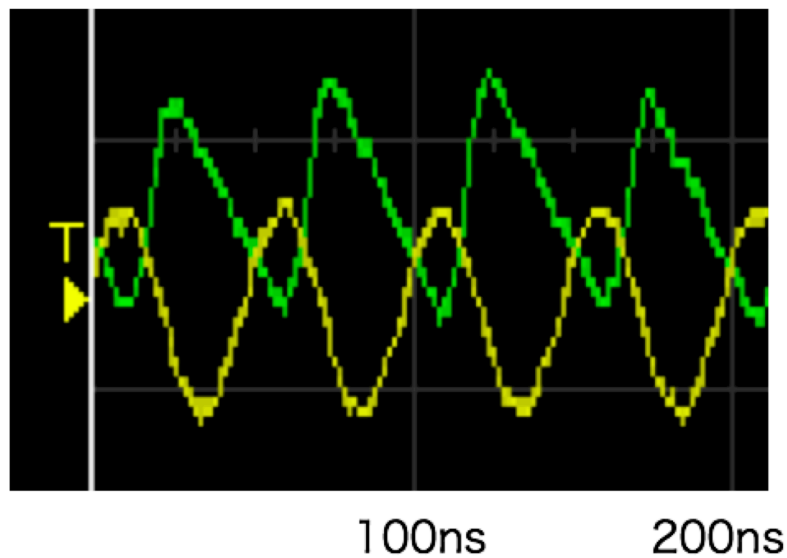


図 7.8:  $f_{vin}=20\text{MHz}$  の測定結果

#### 4. 包絡線信号入力

包絡線信号入力の測定結果を図 (7.9) に示す。今回使用した包絡線信号は 1M ~ 10MHz の sin 波の合成波となっている。測定結果より、入力包絡線に出力信号が追従しているのが確認できる。

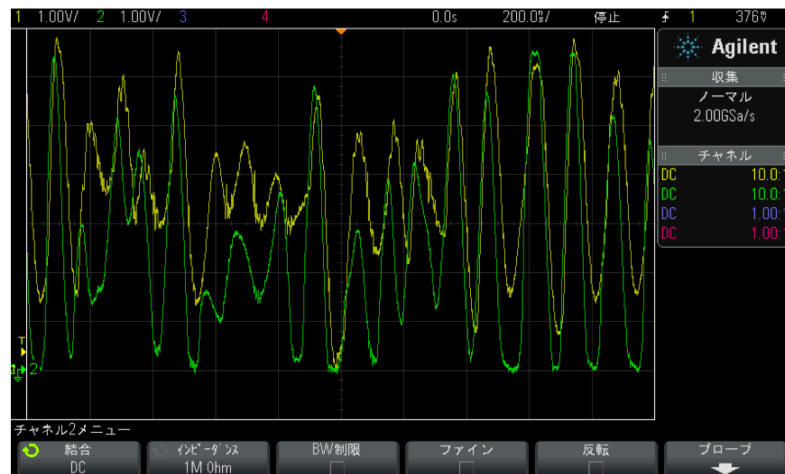


図 7.9: 包絡線信号入力の測定結果



## 第8章 まとめ

本論文では携帯端末に使用される包絡線追跡電源の研究について報告した。

従来の包絡線追跡方式では帯域と効率がトレードオフの関係にあった。この問題はインターリーブ構成を用いた多相化技術によって解決できる。この手法を導入することにより、低帯域～中帯域の周波数領域において高い効率を得ることが出来る。また、従来の包絡線追跡方式では高周波信号に対する追跡をオペアンプ電流を用いて行うため低効率であった。この問題は包絡線追跡電源を構成する Switcher のスイッチング周波数の位相をずらし、擬似的に高周波信号を出力する提案多相方式を用いることで解決できる。これら 2 つの包絡線追跡電源多相制御方式はシミュレーションにてその動作の正当性を確認した。

また高周波対応多相制御方式は実装回路を設計し、動作を検証した。実装回路は目標である第 4 世代移動通信方式の上限帯域である 20MHz は達成できなかったが、10MHz までの帯域までは包絡線追跡電源として動作することが確認できた。

今後は 20MHz 以上の周波数帯域へ対応できる回路検討を行う予定である。そのためには制御部における信号遅延問題の解決が必須事項である。

# 謝辞

本研究を行うにあたり、担当教官として御指導・御助言をして下さった高井伸和先生に感謝申し上げます。また、共同研究に誘って頂き、御指導・御助言をして下さった小林春夫先生に感謝申し上げます。本論文の主査を担当して頂いた橋本誠司先生に感謝申し上げます。共に研究を行ってきた築地伸和氏、河内智氏、神山雅貴氏に感謝申し上げます。議論を通して様々な意見や技術指導をして下さったサムスン電子株式会社の丹治様、乙部様に感謝申し上げます。ICチップ作成の際に多大な技術と知識を提供してくださいました、凸版印刷株式会社の瀬戸様に感謝申し上げます。測定回路作成の際に多大な技術を提供してくださいました、株式会社マックエイト様に感謝申し上げます。有益な議論を重ねてくださいました、金谷浩太郎氏、田中駿祐氏、根岸孝行氏、ビスワス・スミット・クマール氏に感謝申し上げます。本研究に対して有益な機会と環境を与えて下さった小林高井研究室の皆様に感謝申し上げます。最後に大学院を修了するまで経済的支援や生活面で支えて下さった家族に深い感謝を申し上げます。

## 参考文献

- [1] Masato Kaneta, Akihiro Kanbe, Hitoshi Hirata, Tatsuhiko Shimura, Kentarou Yamagishi, Haruo Kobayashi  
“Architecture of Wideband High-Efficiency Envelope Tracking Power Amplifier for Base Station”  
Silicon Science and Advanced Micro-Device Engineering, Vol.459, pp.241-251, (2011).
  
- [2] Kwak Myoungbo  
“High Efficiency Wideband Envelope Tracking Power Amplifier for Next-Generation Wireless Communications”  
UC San Diego Electronic Theses and Dissertations, (2011).
  
- [3] Philip A. Godoy, Sungwon Chung, Talor W.Barton, David j. Perrcault, Joel L. Dawson  
“A 2.4-GHz, 27-dBm Asymmentric Multilevel Outphasing Power Amplifier in 65-nm CMOS”  
IEEE Journal of Solid-State Circuit, Vol.47, No.10, pp.3083-3086, (Oct 2012).
  
- [4] Akihiro Kanbe, Masato Kaneta, Fuminori Yui, Haruo Kobayashi, Nobukazu Takai, Tatsuhiko Shimura, Hitoshi Hirata, Kentarou Yamagishi  
“New Architecture for Envelope-Tracking Power Amplifier for Base Station ”  
IEEE, (2008).

- [5] Byungjoon Park, Jooseung Kim, Yunsung Cho, Sangsu Jin, Daehyun Kang, Bumman  
“CMOS Linear Power Amplifier with Envelope Tracking Operation”  
Journal of Electromagnetic Engineering and Science, Vol.14, NO.1,1 8,  
(2014)
- [6] Zdravko Lukic, Zhenyu Zhao, Aleksandar Prodic  
“Digital Controller for Multi-Phase DC-DC Converters with Logarithmic Current Sharing”  
IEEE (2007)
- [7] Alejandro Pascual, Gabriel Eirea, Enrique Ferreira  
“A Control Strategy for Multi-Phase Buck Converters under Dynamical Selection of Active Phases”  
(2009)
- [8] 谷口貴一郎, 佐藤輝被, 鍋島隆, 西嶋仁浩  
“固定周波数で動作するヒステリシス制御降圧型コンバータ”  
社団法人電子情報通信学会信学技報  
IEICE Technical Report  
EE2009 - 20 (2009 - 10)
- [9] 廣瀬 翔平, 木村太智, 佐藤輝被, 鍋島隆, 西嶋仁浩  
“サブハーモニック発振ない固定周波数リプルレギュレータ”  
社団法人電子情報通信学会信学技報  
IEICE Technical Report  
EE2011 - 11 (2011 - 07)
- [10] T.Sato, T.Nabeshima, K.Nishijima, T.Nakano  
“Multi-Phase Converter Controlled by Hysteretic PWM Method”  
IEEE (2007)

- [11] Jae Woong Jeong, Sule Ozev, Shreyas Sen, T.M.Mak  
“Measurement of Envelope/Phase Path Delay Skew and Envelope Path  
Bandwidth in Polar Transmitters”  
IEEE VLSI Test Symposium (2013)
- [12] 廣瀬 翔平, 木村 太智, 佐藤 輝被, 鍋島 隆, 西鳴 仁浩  
“サブハーモニック発振のない固定周波数リプルレギュレータ”  
社団法人 電子情報通信学会  
THE INSTITUT EOF ELECTRONICS,  
INFORMATION AND COMMUNICATION ENGINEERS